Novi koncept arhitekture sistema za obradu velike količine podataka u senzorskim uređajima sa ograničenim računarskim resursima

By Nikola Latinović

WORD COUNT	23155	TIME SUBMITTED	30-DEC-2022 01:37PM
		PAPER ID	95040089

UNIVERZITET SINGIDUNUM
BEOGRAD
DEPARTMAN ZA POSLEDIPLOMSKE STUDIJE

DOKTORSKA DISERTACIJA

Novi koncept arhitekture sistema za obradu velike količine podataka u senzorskim uređajima sa ograničenim računarskim resursima

MENTOR:

Prof. dr Mladen Veinović

STUDENT: Nikola Latinović

BROJ INDEKSA: 2018/466064

Beograd, 2022.god.

Mentor:

Prof. dr Mladen Veinović, mentor, redovni profesor

Univerziteta Singidunum

Članovi komisije:

1. Prof. dr Mladen Veinović, mentor, redovni profesor

Univerziteta Singidunum

2. Prof. dr Milan Milosavljević, redovni profesor

Univerziteta Singidunum

3. Dr Miroslav Perić, viši naučni saradnik

Institut Vlatakom

Datum odbrane disertacije:

_____

Zahvalnica

Zahvaljujem se mentoru prof. dr Mladenu Veinoviću kao i komentoru, dr Miroslavu Periću, na dragocenim savetima, kontinuiranoj podršci i učestvovanju tokom izrade ove doktorske disertacije. Zahvaljujem Institutu Vlatakom, koji mi je omogućio priliku i vreme za vršenje istraživanja, kao i veliku podršku tokom izrade disertacije. Takođe, zahvaljujem se i članovima tima, čiji sam bio deo u realizaciji projekta razvoja i instalacije univerzalne platforme za obradu video signala i bez čije podrške i učešća, istraživanja ne bi mogla biti izvedena: dr Iliji Popadiću, mast. inž. elektr. Petru Milanovću, mast. inž. elektr. Aleksandru Simiću, mast. inž. elektr. Branku Tomiću i mast. inž. elektr. Draganu Radiću.

Posvećeno ocu Draganu i majci Anđi

Rezime

Državna infrastruktura, kako vojna, tako i civilna, u današnje vreme se ne može ni zamisliti bez upošljavanja računarskih, telekomunikacionih i senzorskih sistema koji su odgovorni za nesmetano funkcionisanje života u savremenom svetu. Posmatrajući senzorske sisteme, zajednička potreba za sve njih jeste određeni procesorski sistem, odnosno platforma za prihvat i obradu signala sa senzora. U današnje vreme, mnogi proizvođači pristupaju pomenutim zadacima kreiranjem procesorskih platformi za specifične namene kao što su platforme za obradu video signala namenjene elektro-optičkim sistemima, platforme za digitalnu obradu signala namenjene radarskim sistemima, zatim kombinacijom pomenutih tehnologija namenjenim automobilskoj industriji, itd.

U okviru ove disertacije dat je predlog nove arhitekture univerzalne platforme za obradu signala u senzorskim uređajima prilagođene za primenu u modernim senzorsikm sistemima. Arhitektura predsavlja kombinaciju više savremenih procesorskih tehnologija za obradu signala kao štu su programabilna logika (eng. field programable gate array - FPGA, više-jezgarni mikroprocesori i jedinice za obradu grafičkih podataka (eng. graphics processin unit - GPU), kao i integracijom prateće mrežne infrastrukture, naročito vodeći računa o masi i dimenzijama, pokazano je i dokazano da razvijena plaforma ima sve odlike univerzalnosti i da se može koristiti u različitim senzorskim sistemima. Poseban akcenat je dat modularnosti i prilagodljivosti čitavog sistema turbulencijama na svetskom tržištu elektronskih komponenata izazvanih raznim krizama na globalnom nivou. Koncept univerzalne platforme je verifikovan kroz njenu praktičnu implementaciju. U disertaciji, tok razvoja je detaljno opisan u narednim poglavljima, prateći razvoj hardvera, implementaciju i testiranje složenih softverskih algoritama, planiranje mrežne infrastrukture, integraciju u moderan elektro-

optički sistem i testiranje na sistemskom nivou. Pokazano je da implementirana platforma u potpunosti ispunjava pretpostavke nove predložene arhitekture. Dati su pravci daljeg razvoja i posebno naznačen doprinos disertacije u odnosu na tradicionalne načine rešavanja pomenutih zadataka.

Ključne reči: senzorski sistemi, arhitektura obrade podataka, višejezgarni procesori, GPU jezgra, FPGA, zahtevne primene, elektro-optički, radarski, kriptografski sistemi, složeni algoritmi, rad u realnom vremenu, visok informacioni protok, ograničeni resursi

Naučna oblast: Elektrotehnika

Sadržaj:

Rezime 4

Sadržaj 6

Spisak tabela 8

Spisak slika 9

Lista skraćenica 13

1. Uvod 18

1.1. Identifikacija problema i predlog rešenja 19

1.2. Doprinos disertacije 20

1.3. Elektro-optički sistemi 20

1.4. Radarski sistemi 23

1.5. Kriptografski podsistemi 26

1.6. Napredni sistemi za pomoć vozaču kao primer umrežavanja senzora 29

1.7. Platforme za obradu signala 31

1.8. Struktura disertacije 36

2. Nova metodologija za realizaciju arhitekture sistema univerzalne platforme 37

2.1. Nova arhitektura sistema 38

2.2. Prednosti nove arhitekture u odnosu na standardne univerzalne računare sa odgovarajućim interfejsnim karticama 40

2.3. Metodologija dizajna i primene univerzalne platforme 42

2.4. Primena predložene nove arhitekture u MSEOS 43
2.5. Obrada signala 48
2.5.1. Konverzija video formata na FPGA modulu 48
2.5.2. Obrada video signala i baferovanje frejma na FPGA modulu 56
2.5.3. Implementacija selektivnog bojenja termalne slike na FPGA 62
2.5.4. Primena algoritama – obrada video signala na aplikativnom modulu 73
2.6. Arhitektura softvera 75
2.7. Arhitektura mreže 78
2.8. Integracija 81
2.9. Rezultati i merenja 84
2.10. Rezime prednosti primene nove univezalne platforme u elektro-optičkim sistemima ... 88
3. Mogućnosti primene realizovanog modula 92
3.1. Primena platforme za prepoznavanje lica 92
3.2. Primena platforme za FMCW milimetarske radare 102
4. Pravci daljeg rada 107
5. Zaključak 109
6. Literatura 112

Spisak tabela

Tabela 1. Pregled performansi FPGA čipova iz KIntex 7 serije 33

Tabela 2. Implementirane rezolucije za multisenzorski EO sistem 53

Tabela 3. Tehnike baferisanja 62

Tabela 4. Prednosti VVSP koncepta u odnosu na tradicionalni pristup 89

Tabela 5. TP, FN I FP vrednosti R-CNN-a trenirani na setovima za trening sa originalnim i deformisanim slikama 99

Tabela 6. Vrednosti preciznosti i upoznavanja R-CNN-a obučenog na setovima za trening sa originalnim i deformisanim slikama 100

Tabela 7. Tehničke specifikacije K26 sistema na modulu 108

Spisak slika

Slika 1. Primeri VMSIS3 Elektro-optičkih sistema 23

Slika 2. Razliciti tipovi radara: a) sa skaniranim antenskim nizom bez pomerajucih delova za zastitu granice, b) sa rotirajucom antenom tipicno za osmatranje mora i vazdua, c) pesadijski radar za rad sa tronosca 25

Slika 3. Vrste senzora koje se primenjuju u ADAS sistemima 31

Slika 4. Enclustra FPGA sistem na modulu 34

Slika 5. Jetson TX2 modul i njegove osnovne karakteristike 34

Slika 6. KSZ9897 Eternet svič i njegove osnovne karakteristike 35

Slika 7. Predložena blok šema realizacije procesorske platforme 39

Slika 8. Metodologija dizajna i primene univerzalne platforme 42

Slika 9. Distribuirana VMSIS3 arhitektura 44

Slika 10. Putanja video signala (gornji deo slike) i arhitektura VVSP modula 45

Slika 11. Blok dizajn FPGA sistema za konverziju video ulaza 49

Slika 12. Arhitektura FPGA dizajna za konverziju ulaznog video signala 51

Slika 13. FCB Ploča - gornji i donji sloj 52

Slika 14. Test patern prikaz 55

Slika 15. Lowlight Kanal 55

Slika 16. SWIR Kanal 55

Slika 17. MWIR Kanal 56

Slika 18. FPGA Arhitektura 57

Slika 19. Logika trostrukog baferisanja za proces upisa 59

Slika 20. Promena bafera za proces čitanja prilikom trostrukog baferisanja 60

Slika 21. Granične vrednosti za promenu bafera prilikom modifikovanog trostrukog baferisanja 61

Slika 22. Promena histerezisa u modifikovanom trostrukom baferisanju 62
Slika 23. Funkcionalni blok dijagram sistema koji se koristi za selektivnost u realnom vremenu pseudo bojenja video okvira sa termovizijske kamere 64
Slika 24. Grafički prikaz svih dostupnih pseudo paleta boja za selektivno pseudo bojenje. a) direktna LUT paleta, b) inverzna LUT paleta, c) vruća LUT paleta, d) hladna LUT paleta, e) inferno LUT paleta, f) jet LUT paleta 65
Slika 25. Vizuelni prikaz generisanja selektivnog pseudo bojenja LUT paleta: a) LUT paleta sivih tonova, b) LUT paleta „Jet“ pseudo boja, c) Selektivno pseudo bojenje sa dva praga i neproširenim LUT-om paleta, g) Selektivno pseudo bojenje sa dva praga i proširenim LUT-om paleta. 66
Slika 26. Uprošćena blok šema FPGA frame grabber-a 67
Slika 27. Blok šema realizovanog pseudokoloring modula na FPGA 69
Slika 28. Postavka koje se koristi za snimanje slika za primere. RP Optika C330. Termovizijska kamera je na levoj strani slike i Vlatacom VSP modul je na desnoj strani slike (crvena PCB). 70
Slika 29. Posmatrana scena uhvaćena u vidljivom delu elektromagnetnog spektra 71
Slika 30. Okvir u nijansama sive rezolucije 640x480 piksela od termalne kamere 71
Slika 31. Selektivno pseudo bojenje kadra sa termo kamere sa th1=0 i th2=87 bez LUT ekspanzije. LUT paleta se nalazi na desnoj strani slika. 72
Slika 32. Selektivno pseudo bojenje kadra sa termo kamere sa th1=0 i th2=87 sa proširenim LUT-om. LUT paleta boja je na desnoj strani 72
Slika 33. Selektivno pseudo bojenje okvira za parametre th1=5 I th2=79. LUT paleta boja nalazi se na desnoj strani slike 73
Slika 34. VVSP tok obrade video signala 74
Slika 35. VVSP Arhitektura softvera 76
Slika 36. Mrezni interfejsi VVSP modula 79
Slika 37. VVSP Topologija mreže 80
Slika 38. VVSP Modul sa povezanim IMU senzorom 81

Slika 39. VVSP modul u fazi razvoja 82
Slika 40. VVSP resenje hladjenja 83
Slika 41. VVSP modul snimljen lowlight i termalnom kamerom 83
Slika 42. Pozicioniranje VVSP modula u VMSIS3 sistemu 84
Slika 43. Vreme izvršavanja algoritama pri prenosu video signala FullHD formata sa 30 frejmova po sekundi 85
Slika 44. Vreme izvršavanja algoritama pri prenosu video signala VGA formata sa 60 frejmova po sekundi 86
Slika 45. Temperaturni test VVSP modula 87
Slika 46. Dugo-dometno praćenje mete 88
Slika 47. Blok dijagram predloženog sistema za detekciju lica R-CNN 94
Slika 48. Arhitektura sistema na bazi R-CNN algoritma 95
Slika 49. Skup podataka termičke slike sa originalnim, preokrenutim, rotiranim slikama sa smetnjama 97
Slika 50. vVSP modul sa termalnom infracrvenom kamerom 97
Slika 51. Prosečno vreme potrebno za otkrivanje svih lica prema broju lica otkrivenih na slici. Testirano na RTX 2060 101
Slika 52. Čirp signal -a) Promena amplitude tokom vremena, b) Promena frekvencije tokom vremena 103
Slika 53. Blok šema integracije FMCW senzora i VVSP platforme 103
Slika 54. Integracija FMCW senzora AWR1243BOOST sa VVSP platformom 104
Slika 55. Glavna stranica korisničke aplikacije za evaluaciju FMCW radara 105
Slika 56. Postavka i rezultat laboratorijskog eksperimenta praćenja pokretne mete preko FMCW radara i vVSP platforme 106
Slika 57. Postavka i rezultat eksperimenta praćenja pokretne mete preko FMCW radara i vVSP platforme vršenog na terenu 107

Slika 58. Xilinx Kria K26 Sistem na Modulu 109

Lista skraćenica

ADAS - (eng. *Advanced Drivers Asistance*) - *Napredni sistem za pomoć vozaču*

AES - (eng. *Advanced Encryption Standard*) - *Napredni enkripcioni standard*

AXI – (eng. *Advanced eXtensible Interface*) - *Napredni proširivi interfejs*

BNC – (eng. *Bayonet Neill–Concelman*) - *Bayonet Neill–Concelman konektor*

Clif – (eng. *Camera Link Interface*) - *Kamera Link Interfejs*

CNN – (eng. *Convolutional Neural Network*) - *Konvoluviona neuralna mreža*

CSI – (eng. *Camera Serial Interface*) - *Kamera serijski interfejs*

CW - (eng. *Continuous Wave*) - *Kontinualni talas*

DDR – (eng. *Double Data Rate*) - *Dvostruka brzina podataka*

DES - (eng. *Data Encription Standard*) - *Standard enkripcije podataka*

DMC - (eng. *Digital Magnetic Compass*) - *Digitalni magnetski kompas*

DPRAM – (eng. *Dual Port RAM*) - *RAM memorija sa dva pristupa*

DSA - (eng. *Digital Signature Algorithm*) - *Algoritam digitalnog potpisa*

DSP - (eng. *Digital Signal Processing*) - *Digitalna obrada signala*

ECC - (eng. *Elliptic-curve cryptography*) - *Kriptografija eliptičkih krivih*

EO - (eng. *Electro-optical*) - *Elektro-optički*

FCB – (eng. *FPGA Carrier Board*) - *FPGA noseća ploča*

FIFO – (eng. *First In First Out*) - *prvi podatak upisan, prvi se čita*

FMCW - (eng. *Frequency Modulated Continuous Wave*) - *Frekvencijski modulisan kontinualni signal*

FOV - (eng. *Field of View*) - *Ugao vidljivosti*

FPGA - (eng. *Field Programmable Gate Array*) - *Programabilni niz logičkih kola*

GPS - (eng. *Global Positionig System*) - *Globalni pozicioni sistem*

GPU – (eng. *Gpraphical Processing Unit*) - *Grafička procesorska jedinica*

GUI – (eng. *Graphical User Interface*) - *Grafički korisnički interfejs*

HDMI - (eng. *High Definition Multimedia Interface*) - *Multimedijalni interfejs visoke definicije*

HD-SDI – (eng. *High-definition serial digital interface*) - *Serijski digitalni interfejs visoke definicije*

IC – (eng. *Integrated Circuit*) - *Integralno kolo*

IDEA - (eng. *International Data Encryption Algorithm*) - *Međunarodni algoritam enkripcije podataka*

IMU - (eng. *Inertial Measurement Unit*) - *Inercijalna merna jedinica*

IP – (eng. *Intellectual Property*) - *Intelektualna svojina*

JCB – (eng. *Jetson Carrier Board*) - *Jetson noseća ploča*

LAN – (eng. *Local Area Network*) - *Lokalna mreža*

LI - (eng. *Laser Iluminator*)	*- Laserski iluminator*
LPDDR – (eng. *Low-Power Double Data Rate*)	*- Dvostruka brzina prenosa niske potrošnje*
LRF - (eng. *Laser Range Finder*)	*- Gejtovani laserski iluminator*
LUT – (eng. *Look Up Table*)	*- Tabela za pretragu*
LWIR - (eng. *Long Wave InfraRed*)	*- Dugotalasni Infracrveni opseg*
MIG – (eng. *Memory Interface Generator*)	*- Generator memorijskih interfejsa*
MIPI – (eng. *Mobile Industry Processor Interface*)	*- Procesorski interfejs u mobilnoj industriji*
MSEOS - (eng. *Multi Sensor Electro-optical System*)	*- Multisenzorski Elektro-optički sistem*
MWIR - (eng. *Medium Wave InfraRed*)	*- Srednjetalasni infracrveni opseg*
OEM - (eng. *Original Equipment Module*)	*- Modul originalne opreme*
ONVIF – (eng. *Open Network Video Interface Forum*)	*- Video Interfejs forum otvorene mreže*
PAL – (eng. *Phase Alternate Line*)	*- Fazno promenljiva linija*
PCB – (eng. *Printed Circuit Board*)	*- Elekronska štampana ploča*
PCI – (eng. *Peripheral Component Interconnect*)	*- Međupovezivanje perifernih komponenata*

R-CNN – (eng. *Region - Based Convolutional Neural Network*) - *Konvoluciona neuralna mreža bazirana na regionima*

RCx - (eng. *Rivest Cipher*) - *Rivest algoritam šifrovanja*

RGB – (eng. *Red, Green, Blue*) - *Crvena, Zelena, Plava*

RSA - (eng. *Rivest–Shamir–Adleman*) - *Rivest–Shamir–Adleman algoritam šifrovanja*

RTSP – (eng. *Real Time Streaming Protocol*) - *Protokol prikaza video u realnom vremenu*

SAE - (eng. *Society of Automotive Engineers*) - *Udruženje automotive inženjera*

SCC – (eng. *Sensor Communication and Control*) - *Konunikacija i kontrola senzora*

SDR – (eng. *Standard Dynamic Range*) - *Standardni dinamički opseg*

SGDM – (eng. *Stochastic Gradient Descent with Momentum*)- *Stohastički gradijentni pad sa impulsom*

SPP - (eng. *Signal Processing Platform*) - *Platforma za obradu signala*

SVM – (eng. *Support Vector Machine*) - *Mašina za podršku vektorima*

SWIR - (eng. *Short Wave InfraRed*) - *Kratkotalasni infracrveni opseg*

UART – (eng. *Universal Asynchronous Receiver-Transmitter*) - *Univerzalni asinhroni primopredajnik*

VMSIS - (eng. *Vlatacom Multi-Sensor Imaging System*) - *Vlatakomov Multisenzorski sistem za obradu slike*

VVSP - (eng. *Vlatacom Video Signal Processor*) - *Vlatakomov Video Signalni Procesor*

YUV – (eng. *Y – luma, U – blue projection, V – red projection*) - *Y – osvetljaj, U – projekcija plave, V – projekcija crvene*

1. Uvod

Po pitanju bezbednosti, države koriste razne sofisticirane sisteme za detekcije potencijalnih opasnosti i reagovanje na iste. U svrhu nadzora granica, bilo morskih, bilo kopnenih ili vazdušnih, najčešće se upošljavaju radarski i elektro-optički sistemi. Takođe je neophodno posvetiti pažnju i prenosu bezbednosnih informacija, koja se postiže primenom kriptografskih sistema i podsistema. Svi pomenuti sistemi imaju specifičnu arhitekturu, način primene i uslove rada koje treba da zadovolje. Ono sto je zajedničko za sve sisteme jeste da svaki uređaj koji je sadržan u određenom sistemu ima mogućnost prikupljanja i obrade relevantnih podataka i komunikacije sa drugim delovima sistema. U tu svrhu se najčešće upošljavaju razne procesorske platforme koje čine osnovu određenog uređaja i pomenute procesorske platforme se biraju u skladu sa potrebama datog uređaja koji se projektuje. U ovoj disertaciji fokus je na uređajima mase od nekoliko stotina grama do reda veličine stotinu kilograma. Zajedničko svim sistemima je potreba za platformom za obradu signala visokih performansi. Ograničenja predstavljaju dimenzije, masa, potrošnja, disipacija i rad u spoljnim temperaturnim uslovima (temperature koje se kreću od -40°C do +85°C). Prilikom odabira platforme za projekat, neophodno je istražiti stanje na svetskom tržištu po pitanju dostupnosti komponenata, kao i njihovom planu proizvodnje. Dodatno, pojava vandrednih situacija, poput pandemije izazvane virusom covid19, rezultuje velikim turbulencijama na svetskom trežištu elektronskih komponenti, što se manifestuje slabijom proizvodnjom, dužim rokovima isporuke i uopšte dostupnošću elektronskih komponenti. Stoga, potrebno je težiti ka što modularnijem i skalabilnijem rešenju prilikom projektovanja uređaja, da bi se na što lakši i efikasniji način uređaj mogao prilagoditi situaciji na svetskom tržištu komponenata, te u nedostatku određene komponente da se na efikasan način izvrši zamena iste. Cilj ove

disertacije je da kroz istraživanja novog koncepta arhitekture sistema za obradu velike količine podataka u senzorskim uređajima sa ograničenim resursima, ponudi jedno od mogućuih rešenja ovog problema.

1.1. Identifikacija problema i predlog rešenja

Danas je trend u svetu da se za potrebe integracije multiprocesorskih sistema koji bi bili u funkciji kriptografskog, radarskog ili elektro-optičkog sistema koriste gotova rešenja već razvijenih pojedinačnih modula, s obzirom na to da je velika većina proizvođača orijentisana na određenu tehnologiju gde retko može da se nađe kompletno rešenje po pitanju procesorske platforme, koje bi kao takvo moglo da se, bez dodatne integracije sa platformama od raznih proizvođača, integriše sa senzorsko-aktuatorskom mrežom. Primer već gotovih tako opisanih platformi se može naći u [1]. Nedostatak postojećih rešenja jeste nedovoljna modularnost i prilagođenje današnjem tržištu elektronskih komponenata. Cilj istraživanja je razvoj nove metodologije za dizajn univerzalne platforme visokih performansi za obradu signala u oblastima elektro-optike, kriptografije i radarskih sistema i njena konačna implementacija praćena kompletnim testiranjem u terenskim uslovima

Izazovi kojima se treba posvetiti a koji su vezani za primenu platformi za obradu signala za potrebe elektro-optičkih sistema, sistema zaštite podataka i radarskih sistema su:

- Izazovi u dizajnu platforme
- Izazovi razvoja metodologije testiranja
- Izazovi zastarevanja komponenti
- Stanje na tržištu po pitanju dobavljivosti komponente i rokova isporuke

1.2. Doprinos disertacije

Osnovni doprinos istraživanja jeste da se dokaže da je integracija različitih tehnologija moguća u datim uslovima za zahtev neophodne procesorske moći za obradu podataka uz poštovanje ograničenja vezanih za masu, dimenzije i temperaturni opseg u cilju primene u elektro-optičkim, radarskim i kritografskim sistemima. Realizovana je jedna takva platforma za obradu velike količine podataka u senzorskim uređajima sa ograničenim resursima i integrisana u već postojeći multisenzorski elektro-optički sistem, na kome su eksperimentalno merene performanse takve platforme u pogledu brzine izvršavanja algoritama i disipacije kritičnih komponenti pri raznim temperaturnim uslovima. Na osnovu praktičnih eksperimenata, prikazane su prednosti novog predloženog pristupa u odnosu na tradicionalni pristup rešavanja kompleksnih zadataka u jednom multisenzorskom elektro-optičkom sistemu. U poglavljima koja slede biće prikazane konkretne prednosti primene nove metodologije za dizajn univerzalne platforme.

1.3. Elektro-optički sistemi

Elektro-optički sistemi za nadzor velikog dometa dizajnirani su za posmatranje ciljeva koji su udaljeni više od deset kilometara od kamera. Obično koriste sočiva velike žižne daljine koja imaju usko vidno polje FOV (eng. *Field of View*) od oko jednog stepena u položaju maksimalnog zuma [2][3]. Kako bi elektro-optički sistem svoju misiju učinio uspešnom u različitim danonoćnim i meteorološkim uslovima obično se u sistem integrišu različite vrste kamera kao što su kolor, slabo svetlo (eng. *Lowlight*)[2][4], kratkotalasna infracrvena -SWIR[5] (eng. *Short Wave InfraRed*), srednjetalasna infracrvena –MWIR (eng. *Medium Wave InfraRed*) ili dugotalasna infracrvena LWIR [6][7] (eng. *Long Wave InfraRed*), zajedno sa drugim senzorima kao što su laserski daljinomer – LRF [8] (eng. *Laser Range Finder*), gejtovani laserski

iluminator – LI [9] (eng. *Laser Iluminator*), itd. Stoga se takav sistem označava kao multisenzorski elektro -optički sistem-MSEOS (eng. *Multi Sensor Electro-optical System*). Ne postoji opšte pravilo u vezi sa izborom vrste ključnih komponenti koje se ugrađuju u jedan MSEOS jer to značajno zavisi od konkretne primene. Ovo je obično podskup sledećeg skupa:

- Pan-Tilt pozicioner sa montiranim mehaničkim kućištem
- Termalna infracrvena kamera sa odgovarajućim objektivom koji pokriva infracrveni (MWIR) ili dugotalasni infracrveni (LWIR) deo spektra,
- Kratkotalasna infracrvena kamera sa odgovarajućim objektivom za kratkotalasni infracrveni (SWIR) deo spektra,
- Kamera slabog osvjetljenja sa odgovarajućim objektivom za vidljivi dio spektra
- Digitalni magnetni kompas (DMC),
- Globalni sistem pozicioniranja (GPS),
- Laserski daljinomjer (LRF),
- Inercijalna merna jedinica (IMU)

MSEOS-ovi senzori su instalirani na platformi pozicionera sa nagibom sa pozicioniranjem sa poravnanjem njihove optičke ose. Pan-tilt pozicioner omogućava precizno kretanje senzorskog bloka od oko nekoliko desetina stepeni u elevacionoj ravni i kontinuirano (N x 360 stepeni) u azimutnoj ravni. Preciznost se bira da bude manja od polovine trenutnog vidnog polja (piksel FOV) svih instaliranih kamera koje je obično manje od 1/1000 stepena.

Tradicionalno MSEOS napajanje, sirovi video i kontrolni signali se prenose kroz klizni prsten [10] prema upravljačkim jedinicama i jedinicama za obradu signala. Danas kamere imaju pretežno digitalne interfejse, tako da bi prenos sirove video slike zahtevao vrlo visok propusni opseg (npr. 17,6 Gbps za 4k, 60 frejmova u sekundi i 12 bita po video kanalu) što bi moglo biti

podržano samo veoma skupim kliznim prstenom (eng. *slip ring*) koji bi pored bakarnih kontakta, takođe zahtevao i optički prenos podatka. Da bi se prevazišao ovaj problem, jedinica za obradu signala treba da bude integrisana na rotacionom delu platforme pan-tilt pozicionera zajedno sa drugim senzorima. Imajući na umu složene zadatke obrade signala kao što su stabilizacija videa [11], detekcija ciljeva zasnovana na veštačkoj inteligenciji, praćenje cilja [12], poboljšanje video zapisa [13], osvetljenje cilja ili fuzija multisenzorske slike, platforma za obradu signala SPP (eng. *Signal Procesing Platform* - SPP*)* bi trebala biti veoma moćan računar [14]. Pored toga, MSEOS se instaliraju na otvorenom prostoru, tako da SPP treba da bude sposobna da radi u proširenom temperaturnom opsegu i uslovima velike vlažnosti. Sve ove ključne komponente se mogu smatrati izolovanim kompleksnim podsistemima zasnovanim na naprednim tehnologijama koji direktno utiču na performanse MSEOS sistema. Veoma je retko da određeni proizvođač MSEOS sistema poseduje tehnologiju sa svakim od ovih podsklopova, pa se oni uglavnom kupuju od trećih strana kao originalni moduli opreme (eng. *Original Equipment Module* - OEM) i njihova integracija se vrši na sistemskom nivou. Što više resursa proizvođači ulažu u proces integracije, MSEOS sistemi će biti kompaktniji i manjih dimenzija. Proizvođači najčešće pristupaju razvoju modula za obradu video signala. Izazov koji se javlja u razvoju ovakvog modula je interakcija sa svim komponentama sistema i smisleno povezivanje u jedan funkcionalni sklop. Da bi se to postiglo, modul će ugostiti sav softver i sve algoritme primenjene u sistemu na odgovarajući način. Neki primeri modula koji se mogu koristiti u opisanu svrhu predstavljeni su u [1][15][16]. Ograničenje navedenih rešenja je uglavnom u načinu upotrebe, jer su namenjena specifičnim zadacima i nisu dovoljno modularna za efikasnu integraciju u kompaktni MSEOS.

Da bismo prevazišli sve pomenute probleme, razvili smo novu visoko integrisanu platformu za obradu video signala u obliku kompaktnog modula, nazvanu Vlatacom Video Signal

Procesor – VVSP, koja će proširiti opseg primene naprednog elektro-optičkog sistema. Modul treba da omogući integraciju ključnih komponenti sistema, da omogući upravljačku komunikaciju i da izvrši obradu video signala koristeći efikasan protok podataka sa minimalnim kašnjenjem, uz ugradnju naprednih algoritama za obradu video signala. Kompleksni razvoj obuhvata projektovanje hardvera, softvera, algoritama za obradu signala, topologije mreže kao i načina integracije u sistem. Neki rani rezultati o VVSP modulu su predstavljeni u [17][18]. Primeri realizovanih MSEOS, označenih kao *Vlatacom Multi-Sensor Imaging Systems*, treća generacija – VMSIS3, koji su prikazani na Slika 1.



Slika 1. Primeri VMSIS3 Elektro-optičkih sistema

1.4. Radarski sistemi

Za razliku od elektro-optičkih sistema čija je prvenstvena namena identifikacija cilja, radarski sistemi se prvenstveno koriste za detekciju cilja. Zbog toga su radarski sistemi oblast koja se ubrzano razvija i koja je neophodna za odbranu zemlje kao i za bezbedno funkcionisanje vazdušnog, drumskog i vodenog saobraćaja. Radari se upotrebljavaju za detekciju potencijalnog ugrožavanja teritorijalnog integriteta države, za neometano funkcionisanje

domaćeg i internacionalnog avio saobraćaja, za kontrolu granica i drumskog saobraćaja, meteorološku prognozu itd.

Osnovna ideja funcionisanja radara je relativno jednostavna, dok se najveći izazovi očekuju prilikom razvoja i implementacije takvih sistema. Osnovna funkcija radara jeste da emituje elektromagnetnu energiju iz jedne ili više predajnih antena u svojoj okolini i da detektuje refleksije dobijene od određenih meta na jednoj ili više svojih prijemnih antena. Karakteristike primljenog signala nose određene informacije o detektovanoj meti, koje mogu biti daljina, ugao u odnosu na radar, kao i brzina, ukoliko je detektovani objekat pokretan. Distanca mete od radara biva proračunata na osnovu vremena koje je potrebno da se nakon emisije elekromagnetnog talasa, reflektovani talas vrati na prijemnu antenu. Ugao mete u odnosu na predajnu antenu moze biti proračunat korišćenjem usmerene antene na prijemu sa uskim propusnim opsegom koja ima mogućnost procene ugla od kojeg dolazi refleksija. Ukoliko je meta pokretna, radarski sistem može da proceni putanju mete i da predvidi njenu buduću lokaciju za određeno vreme. Promene u frekvenciji koje su nastale u prijemnom signalu na osnovu Doplerovog efekta [19] daju informaciju radarskom sistemu o brzini kretanja detektovane mete. Ukoliko radar ima dovoljno visoku rezoluciju, iz prijemnog signala se mogu izvući i određeni podaci vezani za oblik i veličinu mete od koje potiče reflektovani signal [20]

S obzirom na široku primenu radarskih sistema, gde se vrednosti frekvencije predajnog signala kreću od visoko frekventnog regiona elektromagnetnog spektra od reda veličine nekoliko MHz pa sve do milimetarskog dela elektromagnetnog spektra frekvencija i preko sto GHz. Određene tehnologije implementacije se potpuno razlikuju u zavisnosti od frekvencije rada, iako osnovna ideja funkcionisanja ostaje ista. Radar je originalno razvijen u prvoj polovini dvadesetog veka za vojne potrebe nadzora i upravljanja oružjem. Tokom godina se domen

upotrebe radara proširio i na civilne svrhe za sigurna putovanja aviona i brodova, zatim postaje nezamenljiva prateća senzorska oprema u modernim automobilima i veliku ulogu ima u proceni meteorološke prognoze kao i u mnogim drugim aplikacijama.

Prema prirodi emitovanog signala sa predajne antene, radare mozemo razvrstati na:

- Implulsne radare – Emituju povorku impulsa na predajnoj anteni
- Radare sa kontunualnim signalom (CW) – Emituju kontinualni sinusni signal na predajnoj anteni
- Frekvencijski modulisane radare sa kontinualnim signalom (FMCW) – Emituju frekvencijski modulisan kontinualni sinusni signal na predajnoj anteni

U daljem istraživanju akcenat će biti na FMCW radarima zbog njihove široke primene, načina implementacije i mogućnostima sprege sa modernim elektro-optičkim sistemima, o kojima ce biti reči u daljem delu teksta. Neki primeri radarskih sistema se mogu videti na Slika 2.



Slika 2. Razliciti tipovi radara: a) sa skaniranim antenskim nizom bez pomerajucih delova za zastitu granice, b) sa rotirajucom antenom tipicno za osmatranje mora i vazdua, c) pesadijski radar za rad sa tronosca

U pogleldu zahteva za realizaciju platforme za obradu radarskih signala, posebno se izdvaja potreba za sinhronizacijom predajnog i prijemnog signala i preciznom merenju vremenske razlike. Imajući u vidu ograničenja vezana za dimenzije proizvoda kojima je namenjena

univerzalna platforma za obadu signala, radari velikih dimenzija i velikih snaga neće biti razmatrani.

1.5. Kriptografski podsistemi

Informacije koje generišu senzorske mreže često predstavljaju vrlo poverljive informacije koje je potrebno zastititi. Po pravilu se za zaštitu koriste kriptografska rešenja koja mogu biti integrisana i u same senzore. Zbog toga je u ovoj disertaciji posvecena pažnja procesnoj moći koji sistem za obradu podataka mora da obezbedi, kako bi se omogucila implementacija i ove funkcionalnosti.

Bezbednost informacionih podataka je jedna od centralnih tačaka neophodnih za održavanje ekonomije, odbrane zemlje, kao i zaštite poverljivih državnih i individualnih podataka građana. Ova oblast je relativno nova, počela je ubrzano da se razvija pojavom interneta kao globalne mreže pocetkom devedesetih godina dvadesetog veka. Protok veoma osetljivih finansijskih, vojnih, državnih i ličnih podataka sada nije ograničen na lokal vec se proširio na čitav svet. Zaštita pomenutih podataka je vitalna za normalno funcionisanje sveta kakvog poznajemo. Umrežavanje računara na međudržavnom i globalnom nivou je uvelo potrebu za razvojem i implementacijom algoritama za zaštitu poverljivih informacija kao i za razvojem računarskih resursa koji bi bili u stanju da izvršavaju pomenute algoritme, obrade veće količine podataka u realnom vremenu i da ih tako zaštićene proslede na udaljenu lokaciju, ili sacuvaju u lokalu.

Računarski sistemi koji su namenjeni za zaštitu podataka moraju raditi pouzdano i biti bezbedni uprkos raznim potencijalnim greškama, smetnjama i moraju biti imuni na spoljne napade. Takođe, prilikom projektovanja pomenutih sistema, mora se voditi računa o nivou sigurnosne zaštite kao i o efikasnosti samog sistema kada su algoritmi zaštite implementirani,

tako da ne dođe do degradacije po pitanju efikasnosti i performansi samog uređaja/sistema usled zauzimanja procesorskih resursa za potrebe zaštite podataka.

Stoga, mozemo navesti tri ključne karakteristike sistema za zaštitu podataka:

1. Brzina obrade velike količine podataka
2. Jednostavnost korišćenja
3. Sigurnost i pouzdanost rada

Pomenute 3 ključne karakteristike moraju biti uzete u obzir prilikom projektovanja sistema zaštite [21].

Zaštita podataka obično predstavlja njihovo šifrovanje, odnosno enkripciju sa predajne strane pre slanja na mrezu i njihovu dekripciju, pošto oni zaštićeni stignu na destinacionu adresu.

Enkripcija podrazumeva proces pretvaranja podataka koji su u otvorenoj, čitljivoj formi, razumljivoj za čoveka u nečitljiv skup elemenata koji se naziva šifrat. To se postiže upotrebom kriptografskog ključa i odgovarajućeg enkripcionog algoritma.

U širokoj upotebi danas možemo razlikovati dva tipa enkripcije:

- Simetrična
- Asimetrična

Simetrična enkripcija predstavlja proces konverzije otvorenog teksta u šifrat i obrnuto, korišćenjem istog kriptografskog ključa koji predstavlja ulaz odgovarajućeg enkripcionog algotitma i sastavljen je od slučajnog niza bita. Veoma je važno, s obzirom da se koristi isti ključ i za enkripciju i za dekripciju, da se ključevi bezbedno razmene između prijemne i

predajne strane. Najpoznatiji simetrični enkripcioni algoritmi su : RC4, RC5, RC6, IDEA, Blowfish, AES, DES i 3DES [22].

Jedna od glavnih prednosti simetrične enkripcije jeste brzina izvršavanja, s obzirom da su ključevi mnogo kraći u odnosu na asimetričnu enkripciju. Glavna mana simetrične enkripcije jeste korišćenje istog ključa i na prijemu i predaji pa se mora posvetiti mnogo pažnje o bezbednosti transfera tih ključeva [23].

Asimetrična enkripcija, takođe poznata i kao kriptografija javnih ključeva, koristi koncept para ključeva. I pošiljalac i primalac poruke poseduju par kriptografskih ključeva. Jedan par se sastoji od jednog javnog i jednog privatnog ključa, gde se taj par koristi i za enkripciju i za dekripciju.

Pomenuti par ključeva ima sledeće osobine:

- Privatni ključevi se bezbedno čuvaju od strane pošiljaoca i primaoca
- Javni ključevi se šalju putem mreze i oni su dostupni svima na uvid
- Privatni i javni ključ koji čine jedan par su matematički korelisani jedan s drugim ali je nemoguće samo poznavanjem jednog ključa generisati drugi.

Najpoznatiji asimetrični enkripcioni algoritmi su RSA , ECC and DSA [24].

Jedna od glavnih prednosti asimetrične enkripcije jeste sama bezbednost, s obzirom na to da ona ne podrazumeva deljenje ključeva, jer korisnik nikada ne otkriva ili kompromituje svoj tajni ključ. Glavna mana asimetrične enkripcije jeste vreme izvršavanja algoritama koje eksponencijalno raste, kako raste dužina, odnosno veličina poruke koju je potrebno zaštititi.

Zbog svega navedenog, najčešće se oba principa, i simetrični i asimetrični, međusobno kombinuju i implementiraju na modernom kriptografskom sistemu da bi se na što bolji način iskoristile prednosti oba principa a mane svele na minimum [25]. Primera radi, može se iskoristiti simetričan pristup za šifrovanje velike količine podataka (dobitak na brzini izvršavanja), a asimetričan pristup za sigurno slanje podataka o simetričnom ključu koji je neophodan za dekripciju na prijemnoj strani (dobitak na sigurnosti prenosa ključeva).

U pogledu razvoja univerzalne platforme, kriptografski algoritmi predstavljaju blok obrade kod kojih je ključno vreme izvršavanja kriptografskih algoritama, kako bi kompletan sistem mogao nesmetano raditi u realnom vremenu. Potrebe za sinhronizacijom šifrovanja I dešifrovanja se rešavaju kao nadgradnja telekomunikacionih blokova.

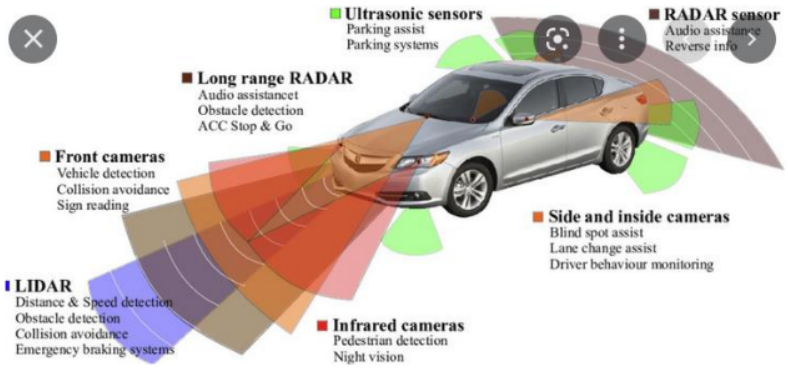
1.6. Napredni sistemi za pomoć vozaču kao primer umrežavanja senzora

Pored očigledne primene za zaštitu, senzorske mreže na bazi elektro-optičkih i radarskih signala su našle veliku civilnu primenu u naprednim sistemima za pomoć vozačima (ADAS). Zbog toga je pri analizi potrebnih karakteristika za platforme za obradu signala neophodno detaljno ispitati i ovu oblast, koja se izuzetno brzo razvija. Prilikom analize tipova senzora i njihovih interfejsa koje bi projektovana univerzalna platforma trebalo da podrži, sprovedeno je istraživanje vezano za upotrebu senzora u naprednim sistemima za pomoć vozačima (eng. *Advanced Drivers Asistance – ADAS*) u drumskom saobraćaju, s obzirom da se raznovrsna paleta senzora koristi u te svrhe koja objedinjuje radarsku i elektro-optičku tehnologiju, gde bi njihova analiza predstavljala jedan od ulaznih podataka neophodnih za projektovanje univerzalne arhitekture sistema za obradu signala.

Jedna od najvećih briga i izazova u automobilskoj industriji u poslednjih nekoliko decenija bio je povećanje bezbednosti putnika. Uvođenje sigurnosnih pojaseva, vazdušnih jastuka i

zgužvanih zona, kao oblik sistema pasivne bezbednosti, smanjio je težine povreda, ali je bilo jasno da nisu dovoljne da imaju veći uticaj na bezbednosni aspekt [26]. Ukupna bezbednost je dodatno poboljšana uvođenjem aktivnih sigurnosnih sistema, koji su brzo implementirani u vozila, prateći opšti tehnološki napredak, što se odrazilo na smanjenje veličine i cene različitih vrsta elemenata implementiranih u automobile. Kao što naziv govori, aktivni sistemi su aktivno uključeni u sprečavanje nesreća, umesto da se samo smanji težina ishoda udesa. ADAS, kao elektronski sistem koji se sastoji od različitih tipova senzora, predstavlja jedan oblik sistema aktivne bezbednosti vozila, nudeći različite nivoe podrške vozaču. Ova podrška može ići od osnovnog nivoa samog informisanja vozača o nekim događajima koji su pred njim, do nivoa gde ADAS može preuzeti potpunu kontrolu nad vozilom, kako bi bila izbegnuta neka neposredna opasnost [27]. Nivo automatizacije SAE 5 je vozilo sa potpuno automatizovanim navigacionim sistemom, dok su SAE nivo 0 vozila bez ADAS sistema [28]. Bez obzira na nivo kontrole, ovi sistemi za pomoć vozaču imaju isti cilj – sprečavanje nesreće davanjem pravilnih i blagovremenih informacija vozaču/sistemu, ili bar da umanji posledice toga [29]. Drugim rečima, njihov cilj je da smanje vreme odluke vozača, ali i vreme detekcije [30].

Izbor odgovarajućih senzora za ADAS sistem koji može doneti značajnu korist za bezbednost vozača je složen zadatak, koji zahteva mnogo različitih ulaznih podataka i analiza. Sistem treba da bude dizajniran imajući u vidu vozačeve stvarne potrebe i zahteve, ali i njegov stav, što značajno zavise od regiona sveta odakle on dolazi [31].



Slika 3. Vrste senzora koje se primenjuju u ADAS sistemima

Na kraju, postavljanje senzora i nivo uvedenog automatizma treba pažljivo proučiti, pošto mogu rezultovati negativnim tendencijama – usled povećane sigurnosne opreme, vozač može smanjiti svoj ukupni nivo svesti i poštovanja saobraćajnih propisa, što rezultira u većoj brzini vožnje. Ovo može dovesti do fatalnih ishoda, pošto vozila, bez obzira na broj i kvalitet instaliranih sistema aktivne bezbednosti, i dalje poštuju zakone fizike, gde je vreme zaustavljanja automobila obrnuto zavisno u odnosu na njegovu brzinu.

Dodatni detalji vezani za ADAS primenu dati su u [30] [32] [33].

Ključni zahtevi u pogleldu univerzalne platforme za obradu signala kod ADAS sistema su distribuirana obrada, budući da informacije potiču od različitih senzora. Na taj način element umrežavanja univerzalnih platformi postaje veoma značajan.

1.7. Platforme za obradu signala

Platforme za obradu signala predstavljaju računarske sisteme integrisane u čipu ili na modulu koje služe za prihvat fizičkih signala (glas, slika, temperature, pritisak, itd..) u analognom ili digitalnom obliku kao i njihovu brzu obradu korišćenjem složenih matematičkih operacija. Stoga je neophodno, u zavisnosti od zahteva primene, definisati potrebne računarske i

memorijske resurse uzimajući u obzir zahteve potrošnje i disipacije prilikom odabira odgovarajuće platforme za specifične zadatke.

Pregledom raspoložive literature po pitanju elektro-optičkih, kroptografskih i radarskih rešenja i trenutne situacije u svetu po pitanju platformi za pomenute sisteme, možemo izdvojiti pet tipova procesorskih arhitektura koji se mogu iskoristiti za obradu signala u pomenutim oblastima:

- Mikroprocesor
- Visejezgarni mikroprocesor
- Digitalni Signal Procesor
- Grafičko procesorska jedinica (eng. *Graphical Processing Unit* – GPU)
- Niz programabilnih logičkih ćelija (eng. *Field programmable gate array* – FPGA)

S obzirom na kompleksnost zadatka pravljenja univerzalne procesorske platforme za obradu signala, nije dovoljno opredeliti se samo za jednu od pomenutih platformi, već treba imati u vidu i zahteve po samom pitanju univerzalnosti, modularnosti i što lakšoj adaptaciji pomenute platforme za različite specifične zadatke. Ovrćući se na istraživanje sprovedeno za zahteve platforme u mogućnostima primene za ADAS sisteme i elektro-optičke sisteme dugog dometa, dolazi se do zaključka da je prvo neophodno unifikovati ulazni video signal koji potiče od kamere, s obzirom da različite kamere i proizvođači istih koriste razne interfejse i video formate. Da bi projektovana platforma bila univerzalna i primenljiva u svim pomenutim oblastima, potrebno je da ima mogućnost prihvata signala sa kamera koje imaju razne interfejse i formate. Da bi obrada signala bila jedinstvena, potrebno je da procesor koji vrši obradu ima ulazne podatke u jedinstvenom formatu. Zbog svih navedenih zahteva, izbor tehnologija koje bi se integrisale u novu univerzalnu platformu za obradu signala bi bio logičan

tako da se za prihvat , konverziju i predobradu vieo signala može koristiti FPGA procesor, dok bi za glavnu obradu bio najlogičniji izbor višejezgarni procesor sa podrškom za grafičku obradu slike, tj GPU jezgrima.

Imajući u vidu dostupnost razvojnih alata, nijohov kvalitet kao i dostupnost gotovih rešenja Intelektualne svojine (eng. *Intellectual property core* – IP core), posebna pažnja po pitanju odabira FPGA platforme je posvećena kompaniji Xilinx [34] i to modelima iz serije čipova Kintex 7 [35]. Prednost odabranih čipova jesu temeraturni opseg u kojem rade i raspoloživost besplatnog razvojnog okruženja za određene modele iz serije. Uporedni parametri različitih modela iz pomenute serije čipova su dati u Tabela 1. Od posebnog značaja jeste i postojanje već gotovih sistema na modulima (eng. *Sistem on module* –SOM) koji pojednostavljuju integraciju u čitav sistem. Istraživanjem literature predložena su rešenja kompanije Enclustra [36] i usvojen je modul Mercury + KX2 [37] u kojem je spakovan čip iz serije Kintex 7. Izgled modula je dat na Slika 4.

Tabela 1. Pregled performansi FPGA čipova iz KIntex 7 serije

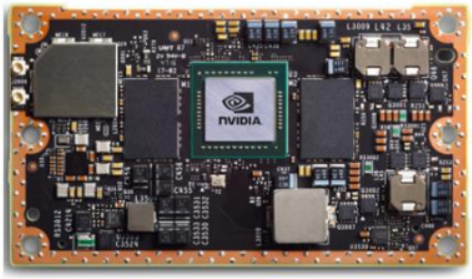
Proizvođačev broj		XC7K70T	XC7K160T	XC7K325T	XC7K355T	XC7K410T
Logički resursi	Slajsevi	10,250	25,350	50,950	55,650	63,550
	Logičke ćelije	65,600	162,240	326,080	356,160	406,720
	CLB Flip flopovi	82,000	202,800	407,600	445,200	508,400
Memorijski resursi	Max. Distribuiranog RAM (Kb)	838	2,188	4,000	5,088	5,663
	Blok RAM/FIFOw/ECC (36Kb svaki)	135	325	445	715	795
	Ukupno blok RAM-a (Kb)	4,860	11,700	16,020	25,740	28,620
Resursi takta	CMTs(1MMCM +1 PLL)	6	8	10	6	10
Ulazno/izlazni resursi	Max. Single ended I/O portova	300	400	500	300	500
	Max diferencijalnih I/O parova	144	192	240	144	240
Integrisani IP resursi	DSP48 Slajsevi	240	600	840	1,440	1,540
	PCIe Gen2	1	1	1	1	1
	Analog Mixed Signal (AMS) - XADC	1	1	1	1	1

	Konfigurabilni AES / HMAC Blokovi	1	1	1	1	1
	GTX transiveri (12,5 Gb/s Max.)	8	8	16	24	16
Parametri brzine u odnosu na temperaturu	Komercijalna temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Prošireni opseg (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrijska temp (I)	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L	-1, -2, -2L



Slika 4. Enclustra FPGA sistem na modulu

Što se tiče odabira višejezgarne procesorske platforme, uži odabir zbog postojanja i višejezgarnih GPU jedinica jesu rešenja kompanije NVIDIA [38]. Posebna pažnja je posvećena sistemu na modulu Jetson TX2 [39], kako zbog postojanja multiprocesorskih resursa, tako i zbog pojednostavljene integracije u sistem. Izgled i osnovne tehničke specifikacije odabranog modula su date na Slika 5.



Tehničke specifikacije	
GPU	256-core NVIDIA Pascal™ GPU architecture with 256 NVIDIA CUDA cores
CPU	Dual-Core NVIDIA Denver 2 64-Bit CPU Quad-Core ARM® Cortex®-A57 MPCore
Memorija	8GB 128-bit LPDDR4 Memory 1866 MHx - 59.7 GB/s
Skladišteni prostor	32GB eMMC 5.1
Snaga	7.5W / 15W

Slika 5. Jetson TX2 modul i njegove osnovne karakteristike

Po pitanju odabira komponenata za realizaciju mrežne infrastrukture i potrebe dimenzija samih uređaja, izbor je sveden na proizvođača Microchip Technology [40] i njihovo

integrišano kolo sa oznakom KSZ9897R [41] koje zapravo predstavlja 7-portni gigabitski eternet svič (eng. *Ethernet Switch*). Izgled komponente i osnovne tehničke karakteristike date su na Slika 6.



Parametar	Vrednost
Broj eternet portova	7
Broj VLAN-ova	128
Interfejsi	MII/RMII/RGMII/SGMII
Radni napon	3.3 V
Temperaturni opseg	-40 do 85 °C
Opseg brzine	10/100/1000Mbps
Podrška za IPV6	Da

Slika 6. KSZ9897 Eternet svič i njegove osnovne karakteristike

Na osnovu datih analiza potencijalne primene, kao i dostupnih komponenti za obradu signala, možemo preliminarno zaključiti da bi univerzalna platforma koja je predmet ove disertacije, trebalo da sadrži sledeće blokove:

- Interfejsna ploča, koja će prikupljati signale sa jednog ili više senzora i proslediti ih na FPGA

- FPGA procesorska jedinica koja se koristi kao glavni interfejs i konvertor podataka između senzora i procesnog računara. U slučaju kamera, namena bi bila pretvaranje bilo kojeg ulaznog interfejsa od kamere u zajednički HDMI signal [42]. Za razliku od većine aplikacija u kojima se obrađuje jedan FPGA signal sa samo jedne kamere, u ovoj realizaciji oba signala kamere bi obradio isti FPGA procesor. Signali u HDMI format će biti prosleđeni glavnom aplikativnom procesoru na kojem će biti implementirani algoritmi za obradu slike.

- Multijezgarna procesorska ploča sa integrisanom grafičkom kartom, kao glavna jedinica digitalne obrade signala (DSP). Jedna od mogućih takvih jedinica je NVIDIA Jetson Tx2. Ova moćna hardverska struktura će obezbediti izlaz na displeju vozila, pomoću Eternet kabla. Iako prethodno iskustvo sa predloženim dizajnom i opremom ukazuju na nesmetan rad sistema,

moraju se izvršiti detaljna ispitivanja, uključujući i merenja ukupnog kašnjenja obrade signala koji se moraju uzeti u proračun za vreme detekcije sistema.

1.8. Struktura disertacije

U prvom, uvodnom delu opisana je potreba za izradom multi-senzorskih sistema za primenu u elektro-optičkim i radarskim sistemima kao i potreba za distribucijom i zaštitom podataka koje takvi sistemi generišu. Navedene su osnovne njihove karakteristike i parametri u pogledu primene i umrežavanja, tipovima senzora, vrstama platformi za obradu signala, aplikacijama. Takođe je identifikovan problem, dat predlog daljeg rešavanja i naznačen je doprinos ove disertacije kao i struktura ostalih poglavlja u disertaciji.

U drugom poglavlju dat je opis metodologije za razvoj univerzalne platforme, posebno se fokusirajući na obradu signala u MSEOS. Na osnovu usvojene arhitekture implementirana je konkretna platforma označena kao Vlatacom Video Signal Processing Platform VVSP i prikazane su metode njenog testiranja kako bi bila pogodna za dalju nadgradnju sistema. Na kraju poglavlja dat je pregled doprinosa koji su postignuti primenom nove platforme.

U trećem poglavlju detaljno su opisane mogućnosti dalje primene realizovane vVSP platforme u MSEOS, aplikacijama za prepoznavanje lica na bazi termalne kamere, kao i mogućnostima primene u FMCW senzorskim mrežama. Dat je skup praktičnih primera koji opiisuju date primene.

U četvrtom poglavlju su predloženi pravci budućeg rada i usavršavanja realizovane platforme.

U petom poglavlju je dat zaključak.

2. Nova metodologija za realizaciju arhitekture sistema univerzalne platforme

Na osnovu razmatranja datih u uvodnom delu u pogledu vrsta primena univerzalne platforme i platformi za obradu signala izvršena je analiza mogućnosti postizanja univerzalnosti.

Imajući u vidu da je zajedničko za sve sisteme prikupljanje i obrada velike količine podataka u realnom vremenu, zajedno sa različitim potrebama za sinhronizacijom, ključni blok predobrade signala je FPGA platforma. Primenom ovog resursa, budući da se implementacija obavlja na nivou logičkih kola, sa proizvoljnom vrednošću taktova obrade signala, mogu se ostvariti zahtevi za sve sisteme. Očigledno je da interfejsiranje ka senzorima zahteva različit tip hardvera, tj. interfejsnih čipova, te se u tom segmentu univerzalnost ne može postići. Međutim, primenom adekvatne hardverske kako elektronske, tako i mehaničke realizacije, moguće je ostvariti izmenjivost interfejsnih ploča za implementaciju različitih interfejsnih protokola. Sa druge strane, u svim pomenutim sistemima postoji potreba za prikupljanjem jednostavnih podataka primenom analogno-digitalnih konvertora ADC ili jednostavnih digitalnih portova. Takođe je značajno ostaviti i mogućnost generisanja kako analognih tako i digitalnih upravljačkih signala. Uopšteno posmatrajući uvek je potrebno da sistem bude opremljen odgovarajućim brojem digitalnih ulazno izlaznih portova – DIO, a isto tako i ADC i DAC portovima. Po pravilu brzine rada potrebne za ADC i DAC su relativno male do nekoliko kHz, dok se specifični zahtevi mogu ostvariti primenom izmenjivih ploča. Na taj način se praktično postiže univerzalnost.

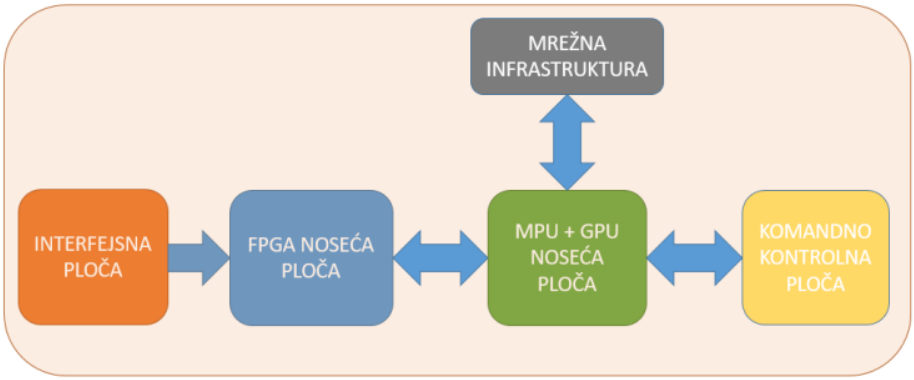
Algoritmi obrade sirovih podataka zahtevaju formiranje kompleksnih struktura podataka i primenu različitih vrsta operacija, po pravilu vektorskih, te je njihova implementacija najjednostavnija na mikroprocesorskom sistemu. Imajući u vidu da većina algoritama

omogućava neku vrstu paralelizacije poželjno je da tip multiprocesorskog sistema bude višejezgarni. Dodatno, primena GPU može poboljšati realzaciju ovog pristupa. Takođe treba skrenuti pažnju da se deo algoritama vezanih za repetitivno ponavljanje jednostavnih operacija, kao što su kriptografski algoritmi, mogu implementirati i na FPGA, te FPGA pored ulaznog bloka može da se koristi i kao ko-procesor za ubrzanje obrade podataka.

Zahtevi za distribuiranom obradom podataka u sistemima poput ADAS zahtevaju izuzetno kvalitetnu komponentu umrežavanja. Imajući u vidu rasprostranjenost Etherneta kao tehnologije umrežavanja, a posebno u domenu implementacije softverskih protokol stekova za različite operativne sisteme, neophodno je da univezalna platfoma bude opremljena i višeportnim Ethernet svičem. Pri tome od posebnog značaja predstavlja mogućnost komunikacije sa internim sličnim platformama i spoljnim svetom. Zbog toga je u mikroprocesorskom sistemu neophodno implementirati minimalno dva Ethernet porta, dok se ograničenje povezivanja i dozvoljenog generisanog saobraćaja postiže primenom upravljivih svičeva.

2.1. Nova arhitektura sistema

Uzimajući u obzir pomenute zajedničke karakteristike aplikacija u tri pomenute oblasti, predložena je blok šema univerzalne platforme koja bi mogla da podrži i ispuni sve zahteve za potrebe jednog ili više elektro-optičkih, radarskih i kriptografskih sistema. Uprošćena blok šema procesorske platforme je data na Slika 7.



Slika 7. Predložena blok šema realizacije procesorske platforme

Imajući u vidu da su od tehnologija za obradu signala široko dostupni mikroprocesorski moduli sa jednim ili više jezgara, FPGA cipovi i Grafičke procesorske jedinice (eng. *Graphical Processing Unit - GPU*), predložena procesorska platforma bi obuhvatala mogućnost intergracije sve tri pomenute tehnologije spajanjem više dizajniranih nosećih štampanih ploča u jedan kompaktan sistem.

Interfejsna ploča bi bila dizajnirana tako da prihvata podatke sa ulaznih analognih ili digitalnih senzora, zavisno od oblasti primene, pripremi podatke u formi da odgovara ulaznim interfejsima FPGA noseće ploče i prosledi tako formatirane podatke na predobradu ili kompletnu obradu ka FPGA procesoru. Interfejsnih ploca bi bilo dizajnirano više komada tako da određena ploča prihvata signal sa određenog industrijskog senzorskog interfejsa. U tom slučaju, za prihvat bilo kojeg senzorskog ulaznog signala bi bilo potrebno samo da se izabere tip interfejsne ploče i da se ista priključi u dizajniranu platformu.

FPGA noseća ploča bi bila dizajnirana tako da se na nju smesti čitav FPGA procesorski blok sa propratnim interfejsima i blokovima za napajanje. Unifikovani interfejsi bi trebalo da postoje

na toj ploči tako da omoguće spajanje sa ulaznom interfejsnom pločom i ulazno-izlaznom mikroprocesorskom nosećom pločom.

Mikroprocesorska noseća ploča bi bila dizajnirana tako da se na nju smesti čitav višejezgarni mikroprocesorski sistem sa podrškom za GPU jezgra, pratećim interfejsima za prihvat i slanje podataka i mrežnom infrastrukturom za komunikaciju sa spoljnim uređajima.

Komandno kontrolna ploča bi bila realizovana tako da se na nju smesti čitav jednojezgarni mikroprocesorski sistem sa pratećim interfejsima, blokovima za napajanje, ulaznim i izlaznim konektorima za komunikaciju i slanje komandi ka potencijalnoj aktuatorskoj mreži, ukoliko je ona predviđena da se koristi u datom sistemu (npr. Pan Tilt platforma za elektro-optičke sisteme).

Sve razvijene ploče bi se međusobno povezivale sa visoko kvalitetnim konektorima namenjenim za spajanje štampanih ploča (eng *Board to Board Connector*).

2.2. Prednosti nove arhitekture u odnosu na standardne univerzalne računare sa odgovarajućim interfejsnim karticama

Iako prikazana nova arhitektura (Slika 7) ima na prvi pogled dosta sličnosti sa univerzalnim računarima, suštinska razlika je u pristupu dizajna. Centralno mesto univerzalnog računara je mikroprocesorski sistem, dok su interfejsne kartice i kartice za ubrzanje praktično periferijske jedinice koje mogu sadržati i FPGA i GPU. Ovakav pristup je praktično limitiran operativnim sistemom koji dominantno obavlja poslove sinhronizacije procesa sa jedne strane, a sa druge strane postojanjem drajvera za implementaciju. Zahtev za radom u realnom vremenu dodatno usložnjava problem, koje često zahteva primenu kompleksnih operativnih sistema.

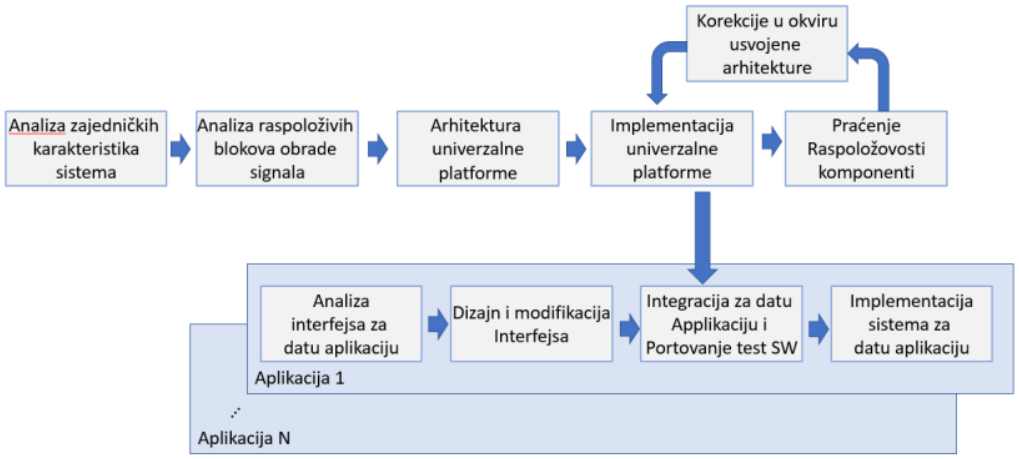
Imajući to u vidu, sama primenjivost takvih platformi postaje diskutabilna, jer zahteva angažovanje odličnih poznavaoca specifičnih operativnih sistema.

Nova arhitektura je praktično FPGA centrirana, jer svu potrebu za interfejsiranjem i sinhronizacijom obavlja ovaj čip. Multijezgarni mikroprocesorski sistem sa GPU je praktično pomoćni deo koji može koristiti široko-primenjivane operativne sisteme kao što je Linux. Na taj način i veoma složene aplikacije se mogu razviti u široko rasprostranjenim programskim jezicima kao što su C ili čak Python, čime se značajno doprinosi smanjenju troškova razvoja softvera i skraćuje vreme do lansiranja proizvoda na tržištu.

Dodatnu, ni malo zanemarivu prednost, čini mogućnost odvođenja toplote. Usvojena arhitektura ima značajnu prednost nad univerzalnim računarima sa različitim interfejsnim pločama zbog mogućnosti jednostavnog odvođena toplote generisane pri radu sistema, tako što se FPGA, multijezgarni procesor i GPU preko tzv. ploče raspodeljivača toplote (eng. *Heat spreader*) vežu za zajedničku ploču za odvođenju toplote u okolinu. Odvođenje toplote sa zajedničke ploče može biti i aktivno i pasivno. Pasivno odvođenje toplote preko hladnjaka sa direktnim kontaktom sa spoljnom okolinom ima značajnu prednost u pogledu rada u širokom temperaturnom opsegu, postizanja visokog stepena zaštite na vodu i uticaja prašine, kao i povećanja pouzdanosti sistema zbog odsustva mehaničkih delova. Ipak, treba napomenuti da je odvođenje toplote moguće i u univerzalnim računarima primenom tzv. gasnih cevi za provovođenje toplote (eng. *heat pipe*), ali one zahtevaju izuzetno kompleksnu mehaničku obradu koja je neisplativa za male količine. Podsetimo se da se i MEOS i radari po pravilu prave u malim količinama. Iako se ADAS sistemi dizajniraju za velike količine, mogućnost primene direktnog *heatspreder*-a koji bi se vezao za karoseriju vozila ipak daje prednost.

2.3. Metodologija dizajna i primene univerzalne platforme

Metodologija dizajna i primene univerzalne platforme rezimirana je na Slika 8. Polazeći od analize zajedničkih karakteristika različitih sistema za koje se univerzalna platforma može koristiti, kao što su elektro-optički sistemi, radari, ADAS sistemi i sl, kao i raspoloživih blokova obrade signala koji su dostupni u datom trenutku na tržištu usvaja se arhitektura univerzalne platforme. Na osnovu usvojene arhitekture data univerzalna platforma se implementira. Zatim se pribegava portovanju različitih aplikacija. Ovaj proces počinje analizom potrebnih interfejsa za datu aplikaciju. U slučaju nedostatka neophodnih interfejsa potrebno je dizajnirati nove interfejsne ploče. Zatim se integriše platforma za obradu signala i na nju se portuje test softver čija je funkcija provera rada svih blokova obrade, a zatim i njihovih performansi. Zatim se prisupa implementaciji sistema za datu aplikaciju. Proces se ponavlja za sve aplikacije.



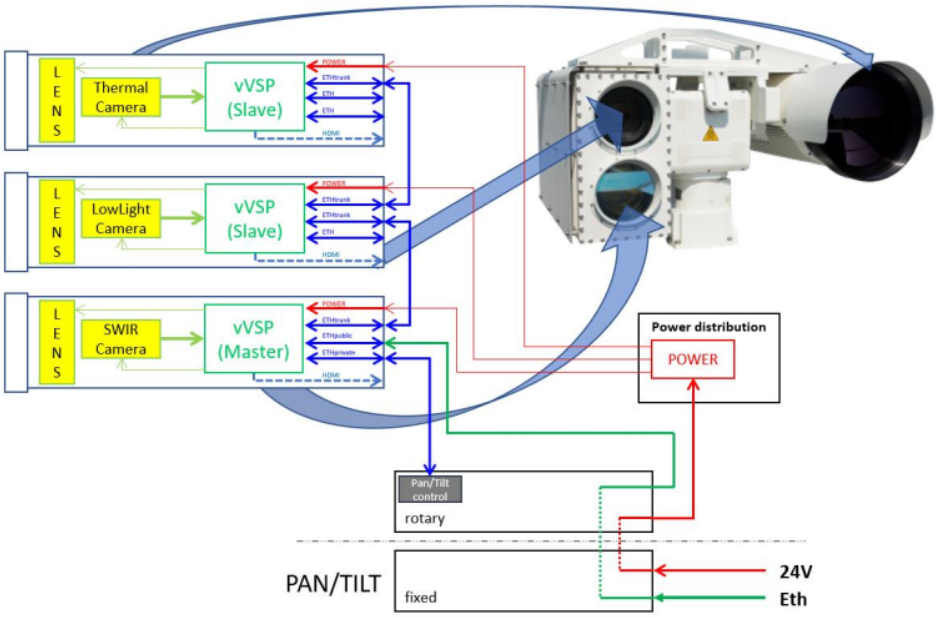
Slika 8. Metodologija dizajna i primene univerzalne platforme

2.4. Primena predložene nove arhitekture u MSEOS

Imajući u vidu da su MSEOS sistemi praktično jedna od najzahtevnijih primena platformi za obradu signala, kako u pogledu količine podataka koje treba obraditi u realnom vremenu, tako i u pogledu sinhronizacije pojedinih aktivnosti u sistemu. U daljem tekstu na ovom primeru prikazaćemo realizaciju pomenutog pristupa.

Realizacija i testiranje novog univerzalnog modula za obradu signala, u daljem tekstu VVSP modula (eng. *Vlatacom Video Signal Processing Platform – VVSP),* biće izvedene kroz primenu u modernom elektro-optičkom sistemu VMSIS3 (eng. *Vlatacom MultiSensor Imaging System – VMSIS3).*

VMSIS3 je dizajniran da koristi karakteristike modularnosti VVSP modula primenom u distribuiranoj arhitekturi, čime se omogućava skalabilnost sistema. VVSP modul je dizajniran da ima dovoljno resursa za obradu video signala koji dolazi sa jedne kamere. Ukoliko se u sistem doda nova kamera, novi VVSP moduli se dodaju i povezuju kaskadno sa prethodnom, tako da nema preopterećenja. Primer distribuirane arhitekture sistema VMSIS3 prikazan je na Slika 9. Na ovaj način se vrši kompletna obrada video signala i primena odgovarajućih algoritama na jednom VVSP modulu koji je zajedno integrisan u kućište sa kamerom sa koje prima video signal.

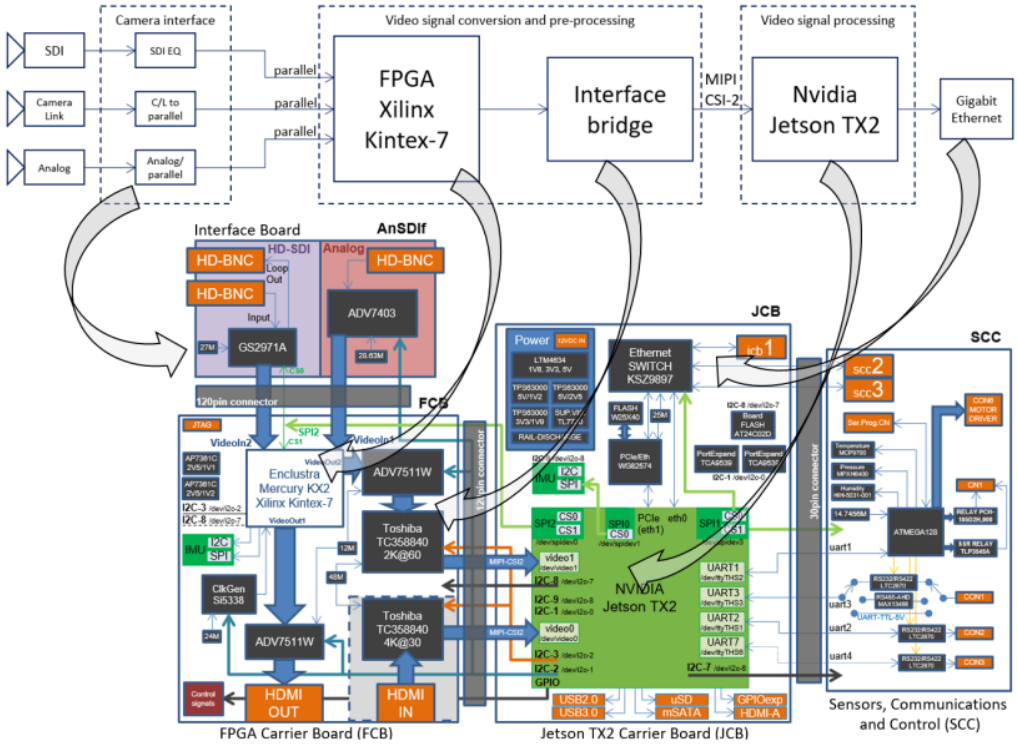


Slika 9. Distribuirana VMSIS3 arhitektura

Jasno je da se VMSIS3 oslanja na VVSP, tako da je ovaj modul u okviru EO sistema zadužen za kontrolu svih uređaja, kompletnu manipulaciju video signalom, kao i za komunikaciju, kako internu unutar sistema, tako i eksternu sa komandnom kontrolnom jedinicom. Za obavljanje zahtevnih zadataka VVSP angažuje najsavremenije tehnologije. Ovo se postiže primenom jednog aplikativnog modula i jednog FPGA modula, od kojih svaki obavlja zadatke za koje je namenjen. Nvidia Jetson TX2 [39] sa četvorojezgarnim arm procesorom i 256 CUDA grafičkih jezgara je izabran kao aplikativni modul. Sa druge strane, FPGA tehnologija je integrisana preko Xilinx KINTEX-7 [43] sa 160 k logičkih ulaza na Enclustra KX2 modulu [37]. Ovaj faktor forme može da se nadogradi na Xilinx Zynq UltraScale+ MPSoC [44].

Kompletna arhitektura VVSP zasnovana na dva pomenuta modula sa putanjom video signala prikazana je na Slika 10. Gornji deo Slika 10 je grubi prikaz putanje video signala, uzimajući u obzir velike blokove, od ulaza sa kamere do Gigabit Ethernet izlaza iz VVSP modula. Donji deo

Slika 10 detaljno predstavlja arhitekturu VVSP modula sa svim bitnim komponentama koje se koriste. Takođe, zbog složenosti modula, gornji i donji deo slike su međusobno povezani strelicama, tako da čitalac može da razume tok video signala u prethodno prikazanoj arhitekturi.



Slika 10. Putanja video signala (gornji deo slike) i arhitektura VVSP modula

Da bi se omogućila komunikacija sa svim komponentama EO sistema, VVSP mora imati integrisane odgovarajuće interfejse. Modularnost VVSP modula omogućava laku promenu i konfiguraciju interfejsa. VVSP modul omogućava prijem slika sa kamera koje koriste jedan od sledećih standardnih video interfejsa: HD-SDI [45], Camera-link [46] i analogni kompozitni PAL interfejs [47]. Maksimalni podržani format rezolucije je 1920x1080 (Full-HD) pri 60 frejmova u sekundi. VVSP modul može da kontroliše sve parametre kamere i objektiva kao što su rezolucija, brzina kadrova, pojačanje, ekspozicija, zum i položaj fokusa sočiva, podešavanje

vidnog polja (FOV), itd. VVSP omogućava Pan/Tilt kontrolu, LRF, GPS, DMC, itd. VVSP takođe ima poseban interfejs namenjen za komunikaciju sa IMU senzorima. Kao što je prikazano na Slika 10, VVSP modul se sastoji od 4 odvojene štampane ploče(eng. *Printed Circuit Board* – PCB): Interfejsne ploče, FPGA noseće ploče (FCB), Jetson TX2 noseće ploče (JCB) i ploče za senzore, signale i kontrolu (SCC). Međusobno povezivanje ovih ploča se vrši pomoću visokokvalitetnih konektora namenjenih za spajanje ploča (eng. *Board to Board*) koji obezbeđuju visok protok podataka u različitim ambijentalnim uslovima.

Funkcija interfejsne ploče je da konvertuje video signal sa jednog od tri podržana interfejsa kamere (HD-SDI, CameraLink ili PAL) u paralelni interfejs koji se dovodi na FPGA ulaz. Da bi se postigla modularnost, projektovane su dve varijante ove vrste ploča. Jedan tip ove ploče, označen kao CLIf (skraćeno za CameraLink interfejs), sa integrisanim SDR CameraLink konektorima, omogućava prijem video signala sa dve kamere koje podržavaju BASE CameraLink standard ili sa jedne kamere koja podržava MEDIUM CameraLink standard. Drugi tip interfejsne ploče, označen kao AnSDIf (izveden od analognog i HD-SDI), ima dva integrisana interfejsa, po jedan za HD-SDI i kompozitni analogni PAL video interfejs. Oba interfejsa su povezana preko HD-BNC konektora.

FPGA čip je integrisan na FCB ploči i obavlja obradu video signala uvodeći izuzetno malo kašnjenje u propagaciji video signala. FPGA vrši konverziju i prethodnu obradu video signala, a može da primeni i neke video algoritme koji su pogodni za ovu arhitekturu, kao što je npr. pseudobojanje. FPGA takođe obavlja funkciju konverzije prostora boja na veoma efikasan način. Veoma važnu ulogu koju igra FPGA je baferovanje video signala, o čemu će biti reči kasnije, u posebnom odeljku. Druga primena prednosti FPGA tehnologije ogleda se u preciznoj sinhronizaciji podataka sa žiroskopa sa slikom, što je neophodno za IMU stabilizacijski

algoritam. Pored navedenih aplikacija, FPGA se takođe može koristiti za algoritam proširenja dinamičkog opsega prikazan u [26]. Uspostavljena je stabilna video veza između FPGA i aplikativnog procesora, tako da ovaj kanal, nakon pokretanja VVSP modula, šalje ili sliku sa kamere ili test obrazac. Na ovaj način se aplikativni procesor oslobađa brige o kameri na ulazu i vrsti njenog video interfejsa. Takođe treba napomenuti da se na FCB ploči nalaze HDMI interfejsi sa slanjem/primanjem sirovog signala u/iz spoljašnjeg sveta. Osnovna primena FPGA na VVSP platformi je predstavljena u [17].

Aplikacioni modul je integrisan na ploči sa skraćenim nazivom JCB. Ovaj modul je povezan sa FPGA modulom preko prethodno pomenute veze, a video signal do njega dolazi preko MIPI-CSI-2 interfejsa [48]. Kako je aplikacioni modul zasnovan na Linuk operativnom sistemu, odgovarajući drajver predstavlja ovaj interfejs kao poseban video uređaj iz klase Linux uređaja [49]. Nakon opisane interpretacije, video signal će se dalje koristiti kao izvor za algoritme obrade video signala. Da bi se postigla funkcionalnost distribuirane obrade podataka, VVSP modul na JCB ploči ima integrisani 7-portni upravljivi Gigabit Ethernet mrežni prekidač. Na ovaj svič su povezani svi uređaji sa Ethernet interfejsom, ostvaruje se međusobna komunikacija između VVSP modula, kao i komunikacija sa spoljnim svetom. Takođe treba napomenuti da komprimovani video signal prolazi kroz ovaj prekidač kao rezultat primene celokupne obrade na VVSP modulu.

Ploča u VVSP steku na kojoj je integrisana većina konektora sa interfejsima za povezivanje uređaja sistema VMSIS3 je SCC. Ova ploča ima dodatne Ethernet konektore koji su povezani na 7-portni mrežni prekidač. Konfigurabilni serijski interfejsi su takođe integrisani, uključujući UART, RS232, RS422 i RS485. Tu su i GPIO signali, drajver motora za kalibracioni poklopac za nehlađene termo kamere, relejni prekidači, senzori pritiska, vlažnosti i temperature, itd.

2.5. Obrada signala

Obrada video signala je posebno veoma važan aspekt razvoja VVSP modula i daje značajan doprinos intelektualnoj svojini. Posebno je važno da se obrada signala vrši u realnom vremenu, sa minimalnim kašnjenjima i sa što manje ispuštenih frejmova. Da bi se ovo uspešno realizovalo, kao što je ranije pomenuto, obrada signala se vrši i na FPGA modulu i na aplikativnom modulu. Ovde će biti reči o obe ove jedinice, sa posebnim akcentom na FPGA obradu.

2.5.1. Konverzija video formata na FPGA modulu

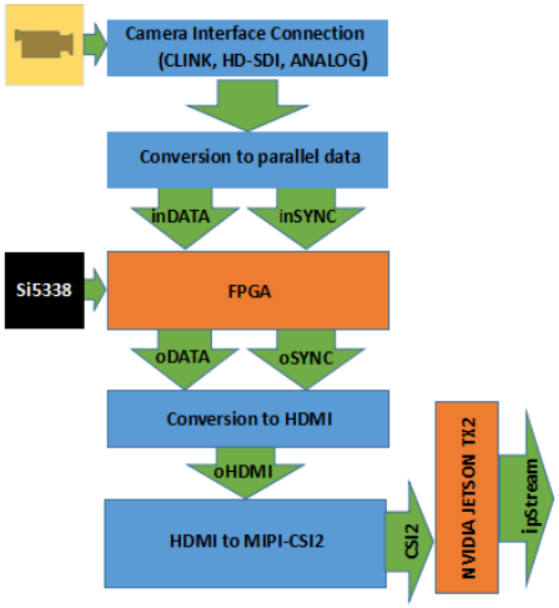
Obično glavni CPU mora imati jedinstveni ulaz za video izvor, ali kamere potiču od različitih proizvođača i imaju različite tipove interfejsa, rezolucije i brzine kadrova. Naš pristup je da postignemo jedinstveno rešenje za konverziju video signala i implementiramo ga na FPGA arhitekturi kako bismo pretvorili bilo koju vrstu ulaznog interfejsa kamere u zajednički HDMI [50] interfejs bilo koje rezolucije i brzine kadrova, prema signalima sinhronizacije ulazne kamere. U našem konkretnom slučaju, takođe je razvijena namenska hardverska platforma čiji su glavni delovi interfejsna ploča, FPGA noseća ploča i glavna ploča nosača procesora.

Celokupni sistemski blok dizajn je prikazan na Slika 11. Osnovna ideja je kreiranje objedinjene platforme za obradu video signala koja uzima ulaz sa različitih interfejsa kamere, priprema podatke za glavni procesor, koji je u ovom slučaju, NVIDIA Jetson TX2, i nakon njihove obrade, emitje obrađeni video u realnom vremenu preko Ethernet interfejsa. Ovo se odnosi na jednokanalne tokove kamere.

Za platformu sa više senzora, ovi moduli se mogu umnožiti, sa jednim glavnim procesorom kao glavnim kanalom, koji kontroliše ostale kanale. NVIDIA Jetson TX2 je sposoban da obezbedi višestruki prikaz strimova preko Ethernet interfejsa. U ovom slučaju treba koristiti

PC glavnog operatera sa konzolnom aplikacijom koja šalje i prima komande od/do kontrolera glavnog kanala. Sva obrada video signala poput fuzije slike, praćenja, detekcije pokreta, pseudo-boje, itd. može se implementirati na NVIDIA Jetson TX2, koja je višejezgarna platforma sa 256 paralelnih GPU CUDA [51] jezgara.

U ulaznoj fazi, čipset za ulazni protok poodataka je namenjen pretvaranju podataka sa bilo kog interfejsa kamere u paralelne podatke koji predstavljaju ulaz za FPGA obradu. FPGA zatim konvertuje ulazne paralelne podatke u HDMI paralelne podatke i šalje ih prema čipsetu u izlaznom toku podataka koji zatim konvertuje ove podatke u HDMI tok u prvoj fazi i u MIPI-CSI2 u drugoj fazi. MIPI-CSI2 [48] linije su ulaz za glavnu jedinicu za video obradu (NVIDIA Jetson TX2).



Slika 11. Blok dizajn FPGA sistema za konverziju video ulaza

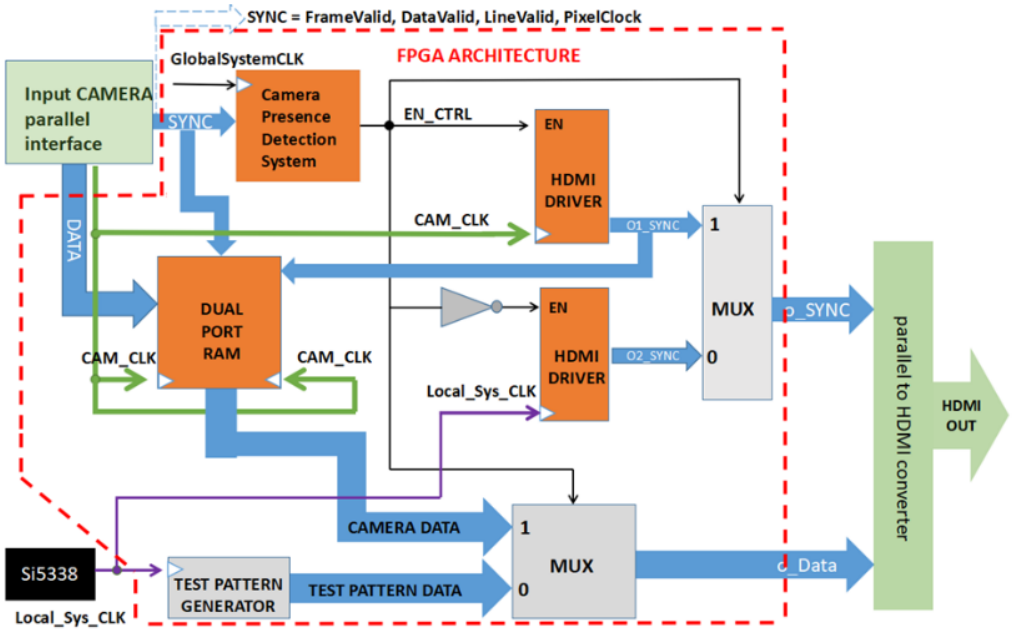
Arhitektura FPGA sistema je prikazana na Slika 12. Svrha ovog dizajna je da detektuje prisustvo ulazne kamere, konvertuje njen format u odgovarajući format za glavni CPU i taj format šalje prema CPU-u.

Kada je kamera prisutna i uključena, čipset ulaznog stepena isporučuje paralelne podatke sa ulaznog interfejsa kamere. Ovi paralelni podaci mogu se podeliti u dva dela:

- Sinhronizacioni signali (4 linije)
- Signali podataka (do 24 linije)

Signali za sinhronizaciju su Frame Valid, Line Valid, Data Valid i Pixel Clock. Ti signali služe kao ulaz za dvopristupni RAM modul. Kada je signal Data Valid aktivan, pikselski podaci iz Data signala se upisuju u memoriju, sinhrono sa satom kamere (eng. *Pixel Clock*). Kada je Frame Valid signal aktivan, memorijska adresa za upisivanje podataka je resetovana tako da se čitav frejm upisuje u memoriju.

HDMI Driver modul proizvodi četiri signala za sinhronizaciju prema HDMI standardu. Ti signali ulaze na stranu za čitanje RAM modula sa dva porta. Kada je signal Data Valid aktivan, podaci se čitaju iz memorije i izlaze prema glavnom procesoru, sinhrono sa satom kamere. Kada je Frame Valid signal aktivan, adresa za čitanje je resetovana, tako da čitamo od početka frejma.



Slika 12. Arhitektura FPGA dizajna za konverziju ulaznog video signala

Modul sistema za detekciju prisutnosti kamere je dizajniran da nadgleda ulazne sinhronizacione signale sa interfejsa kamere. Ako su signali sinhronizacije u očekivanim vrednostima (definisanim konstantama unutar modula), sistem za detekciju prisustva kamere emituje logičku 1 i omogućava rad HDMI drajvera koji pokreće takt kamere, tako da se video signal sa kamere uživo emituje na glavni CPU. Ako signali sinhronizacije nisu u očekivanim vrednostima, sistem za detekciju prisustva kamere emituje logičku 0, što omogućava da se HDMI drajver koji pokreće lokalni sistemski sat i slika uzorka za testiranje šalje na glavni CPU.

Test Pattern Generator je VHDL modul dizajniran za izlaz podataka piksela u sivim nijansama koje pokreće lokalni sistemski sat, tako da se, u slučaju odsustva ili kvara kamere, slika test uzorka prenosi.

FPGA projekti za različite ulazne interfejse kamere su dizajnirani da rade u 3 različita domena takta: takt kamere (13,5 - 74,25MHz), globalni sistemski takt (100MHz) i lokalni sistemski takt

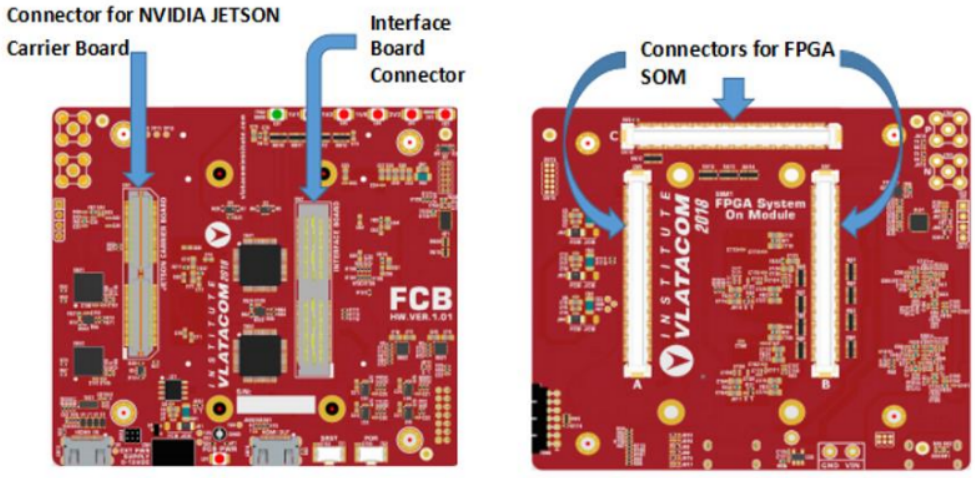
(13,5 - 74,25MHz) baziran na Si5338 IC [52] , čija konfiguracija zavisi od ulaznog takta kamere. Si5338 je precizan generator takta koji se može konfigurisati preko I2C interfejsa putem glavnog procesora [53].

Ulazni takt kamere se koristi za live streaming slike sa ulazne kamere.

Lokalni sistemski takt se koristi za prenos slike testnog uzorka kada ulazna kamera nije priključena ili je u kvaru.

Globalni sistemski takt se koristi za praćenje svih procesa u dizajnu projekta i za pokretanje resinhronizacije između ulaznih i izlaznih tokova slike u slučaju prelaska sa test uzorka na live stream i obrnuto.

Za praktičnu implementaciju, na Slika 13 možemo videti primer dizajna štampane ploče (PCB) - FPGA Carrier Board (FCB). Na slikama ispod prikazan je dizajn gornjeg i donjeg sloja.



Slika 13. FCB Ploča - gornji i donji sloj

Kao što je prikazano na gornjim slikama, PCB je dizajniran da bude modularan, tako da ima nekoliko konektora za povezivanje sa glavnom procesorskom pločom, interfejsnom kamera

pločom (Camera Link [46], Analog [54], HD-SDI [55]]) i FPGA sistemom na modulu (SOM). FPGA SOM i glavna procesorska ploča mogu biti prilagođene i modifikovane, prema zahtevima primene. Interfejs kamere je povezan na FCB prema tipu interfejsa ulazne kamere i odgovarajući FPGA program se učitava na FPGA SOM.

Za multisenzorski sistem snimanja prikazan na Slika 1, opisani hardver je prisutan na svakom kanalu. Karakteristike svakog kanala i postavke parametara mogu se videti u Tabela 2.

Parametri iz tabele opisuju karakteristike senzora ulazne kamere, kao i neke osnovne postavke za FPGA projekte, za svaku kameru. Važno je primetiti konfiguraciju za lokalni sistemski takt, koji se može konfigurisati putem I2C interfejsa preko glavnog procesora. Za svaki kanal postoji postavka takta za prenos 30 frejmova u sekundi ili 60 frejmova u sekundi, zavisno od potreba projekta i primenjenim algoritmima video obrade na glavnom CPU-u.

Kao što možemo videti u Tabela 2, za Lowlight kanal veličina FIFO bafera je četvrtina od pune rezolucije. To je zato što u konkretnom FPGA modulu nema dovoljno blok RAM-a za pohranjivanje celog frejma. Zbog nedostatka memorijskih resursa, implementirana je sinhronizacija između ulaznog i izlaznog Frame Valid signala, tako da možemo čitati celi okvir od početka. Ovaj nedostatak memorijskih resursa može se izbeći dodavanjem jednog DDR4 eksternog RAM modula. Unapređenje video baferisanja je opisano u sledećem odeljku. FPGA korišćen za ovaj projekat je iz Xilinx Kintex 7 Ultrascale plus serije [35].

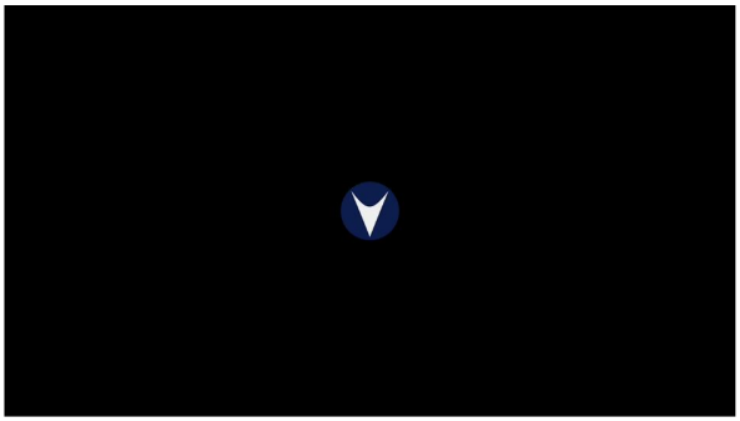
Tabela 2. Implementirane rezolucije za multisenzorski EO sistem

Multi senzor	Senzori		
	Lowlight	***SWIR***	***MWIR***
Rezolucija	1920x1080	720x576	1280x720
FPS	30/60	25/50	30/60
Tip podataka	YCbCr	YCbCr	RGB - Mono
Interfejs	HD-SDI	Analog	Camera Link
Tip skaniranja	Progressive	Interlaced	Progressive
Piksel Takt	74.25MHz	27MHz	74.25MHz
Lokalni Sistemski Takt	37.125/74.25MHz	13.5/27MHz	37.125/74.25MHz
Globalni Sistemski takt	100MHz	100MHz	100MHz
Veličina FIFO bafera u implementiranom dvopristupnom RAM-u	480x1080x20bit	720x576x20bit	1280x720x8bit
HDMI veličina okvira	1920x1080	720x576	1280x720
HDMI veličina proširenog okvira	2200x1125	864x625	1650x750

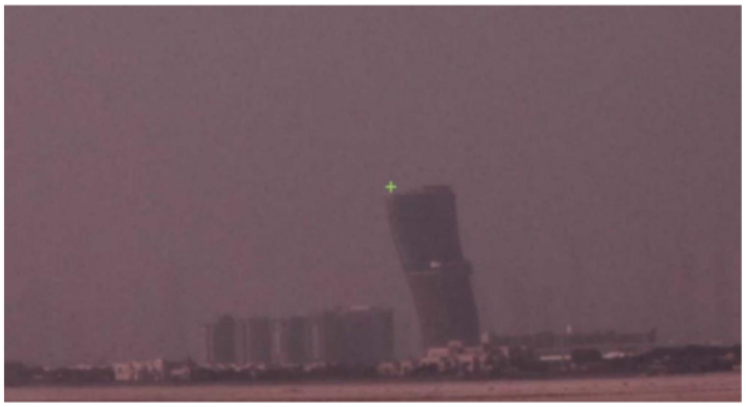
Slika 14 prikazuje sliku probnog uzorka prikazanu na ekranu kada je kamera odsutna ili ne radi.

Sistem je bio na terenskom testiranju u Abu Dabiju, Ujedinjeni Arapski Emirati. Prikazani cilj, hotel Hyatt Capitol Gate nalazio se na udaljenosti od 7,5 kilometara. Klimatski uslovi su bili 43 stepena celzijusa spoljne temperature, sunčano i vedro.

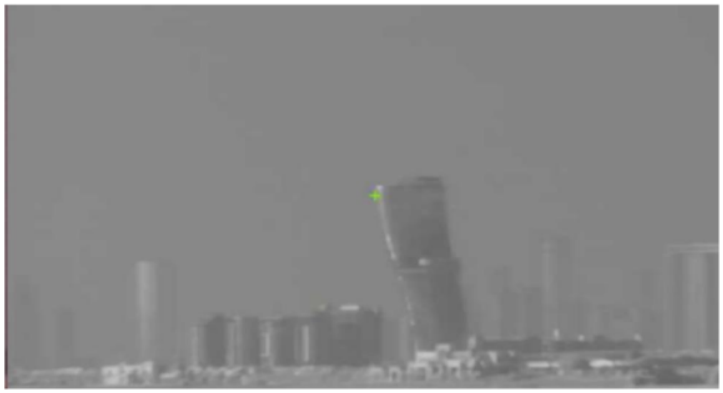
Slika 15, Slika 16 i Slika 17 prikazuju live stream iz sistema prikazanog na Slika 1, na sva tri kanala: Low Light, SWIR i MWIR Thermal, respektivno.



Slika 14. Test patern prikaz



Slika 15. Lowlight Kanal



Slika 16. SWIR Kanal

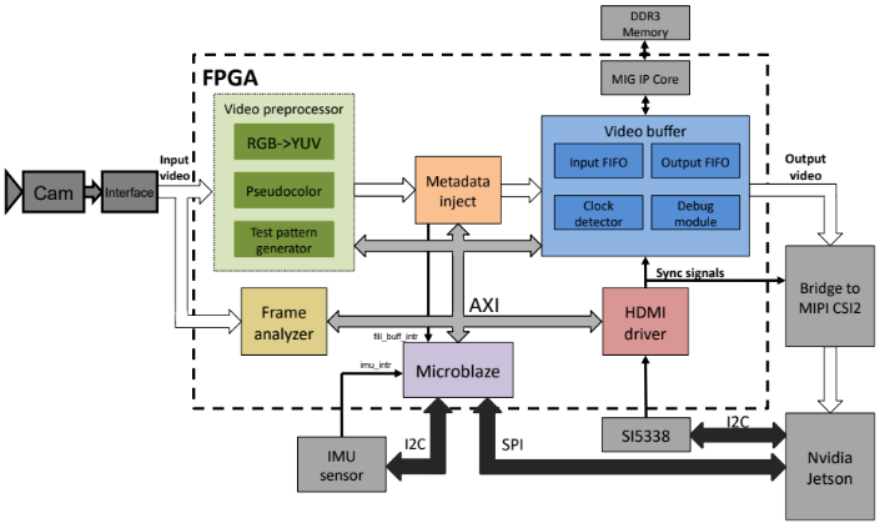


Slika 17. MWIR Kanal

Opisano i implementirano objedinjeno rešenje za povezivanje kamera sa video procesorskim jedinicama pokazalo se da ima puno prednosti u odnosu na većinu platformi koje su trenutno dostupne na tržištu. Pre svega, veliku prednost čini njegov modularni dizajn i hardver koji se može reprogramirati, tako da za bilo koji tip ulaznog interfejsa kamere treba menjati samo interfejsnu ploču. Jedna interfejsna ploča je prisutna po jednom interfejsu kamere. Takođe, štampane ploče u hardveskom smislu su dizajnirane tako da se blokovi obrade mogu lako menjati (glavni procesor za obradu signala i FPGA mogu biti stvar izbora).

2.5.2. Obrada video signala i baferovanje frejma na FPGA modulu

Kompletna organizacija blok modula unutar FPGA prikazana je na Slika 18. Jasno je da postoji instanca mikrokontrolera Microblaze koja je preko AKSI magistrale povezana sa sledećim blokovima: Frame Analizer, Video Preprocessor, Video Buffer i HDMI Driver. Kada paralelni video signal iz čipova za konverziju na interfejsnoj ploči stigne do FPGA modula, on nosi podatke o pikselima koji se prenose i odgovarajuće signale sinhronizacije. Analizator frejma prihvata samo signale sinhronizacije i na osnovu njih izračunava važne parametre slike, kao što su rezolucija i brzina kadrova, a dalje ih preuzima mikrokontroler Microblaze.



Slika 18. FPGA Arhitektura

Video signal sa ulaza dolazi do modula video preprocesora koji se sastoji od pretvarača prostora boja (RGB <-> YUV), modula pseudobojanja (koji dodaje boje monohromatskoj slici na način koji definiše korisnik) i generatora test signala . Pre nego što obrađeni video signal iz predprocesorskog modula stigne do video bafera, on prolazi kroz modul metapodataka ubrizgavanja u koji se unose neki metapodaci, kao što su podaci sa inercijalnih senzora, brojači frejmova, vremenske oznake itd. Video bafer obezbeđuje sinhrono pisanje i čitanje podataka iz DDR memorije. Naime, memorijski interfejs u vidu IP jezgra se ovde instancira korišćenjem MIG IP komponenti [56] čija je uloga da obezbede interfejs za spoljnu DDR3 memoriju gde će se čuvati čitavi frejmovi. Video bafer takođe ima dva FIFO bafera, jedan koji kontroliše proces upisivanja frejma iz kamere u memoriju i drugi koji kontroliše čitanje frejma iz memorije i njihovo prosleđivanje. HDMI drajver je modul koji čita frejmove iz video bafera i prosleđuje ih na FPGA izlaz, preko odgovarajućeg MIPI-CSI-2 interfejsnog mosta do aplikativnog modula.

Primer realizacije povezivanja FPGA sa aplikativnim procesorom, ali preko PCI ekpress magistrale prikazan je u [57].

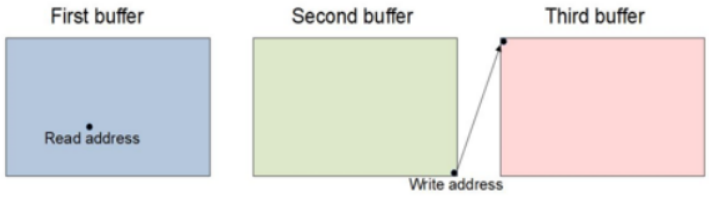
Bafer uključuje dodelu memorijskog prostora, u ovom slučaju DDR3 memorije, dovoljne za skladištenje celog frejma. Najjednostavniji, ali i najlošiji način baferovanja frejma je korišćenje jednostrukog baferovanja. U tom slučaju, zbog nejednakosti taktova za pisanje i čitanje, preklapaju se procesi pisanja i čitanja, što se manifestuje pojavom horizontalne linije na prikazanom okviru. Pojava linije je posledica sustizanja procesa pisanja i čitanja, pa se jednim delom proces čitanja približavao najsvežijem kadru, a drugim delom čitao podatke prethodno napisanog kadra. Jasno je da ovaj pristup treba izbegavati.

Aplikacioni modul neće imati problema sa prijemom ako podaci koji dolaze sa FPGA idu preko stabilne veze. Ako se u nekom slučaju koristi takt kamere za referentnu frekvenciju ovog linka, to će dovesti do podrhtavanja koje će zbuniti drajver na strani modula aplikacije, jer nije otporan na ovu vrstu problema pa će početi da odbija frejmove ili da ulazi u nepravilno stanje. Zbog toga se za referentnu frekvenciju veze mora koristiti stabilan izvor takta. Međutim, čak i najmanja razlika između dva izvora takta, onog iz kamere i onog koji je referenca za vezu, zahteva baferovanje okvira. Ovo je nešto na šta treba obratiti posebnu pažnju tokom razvoja, jer kasnije može da izazove velike probleme, pa je način baferovanja frejmova detaljno opisan.

Problem izgleda horizontalne linije može se rešiti dvostrukim baferovanjem. U ovom slučaju, drugi bafer se dodeljuje u memoriji. Kada se koristi dvostruko baferovanje, uvodi se nova logika za kontrolu promene ili ponavljanja bafera tokom procesa pisanja i čitanja. Odluka o tome da li će proces promeniti bafer ili ponoviti isti bafer se donosi u trenutku kada se obrađuje poslednji piksel u trenutnom baferu. U tom trenutku se razmatra koliko su pokazivači koji se odnose na oba procesa udaljeni jedan od drugog i na osnovu prethodno

utvrđenih graničnih vrednosti koje se upisuju u odgovarajuće registre, donosi se odluka. Problem sa dvostrukim baferovanjem je često ponavljanje bafera, što se manifestuje kao zamrzavanje slike. Naime, to je granični momenat za određene vrednosti takta, kada one neznatno variraju u jednom i u drugom pravcu. Treba im neko vreme da se malo raziđu, ali do tada će okviri biti zamrznuti. Opisani problem je takođe rešen uvođenjem dodatnog bafera.

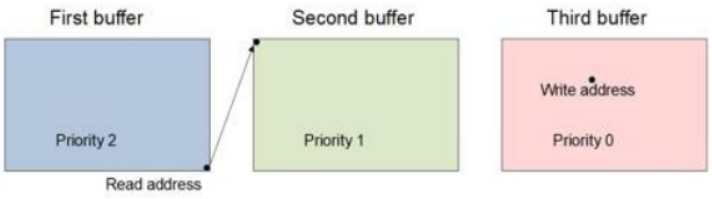
Uvođenjem dodatnog bafera vrši se trostruko baferovanje okvira. Proces čitanja je u jednom baferu, proces pisanja je u drugom i uvek postoji jedan slobodan bafer. Opet, u ovom slučaju, trebalo bi da postoji logika da se promeni bafer. Logika za prebacivanje između bafera u procesu upisa je da se uvek prelazi na slobodan bafer. Ilustracija ove logike je prikazana na Slika 19. Primer implementacije trostrukog baferisanja frejma na FPGA prikazan je u [58].



Slika 19. Logika trostrukog baferisanja za proces upisa

Logika u procesu čitanja za promenu bafera mora da prati mesto na kome je poslednji okvir napisan, dodeljujući prioritete baferima prilikom čitanja poslednjeg piksela u trenutnom baferu. Najveći prioritet ima najnoviji bafer (označen prioritetom 0), dok je najniži prioritet dodeljen najstarijem baferu (označen prioritetom 2). Logika je realizovana tako da proces čitanja uvek prelazi u bafer označen prioritetom 1. Ovo je prikazano na Slika 20. U okviru opisane realizacije moguće je ponoviti bafer ukoliko je proces čitanja brži od procesa upisivanja. Takođe, ako je proces pisanja brži od procesa čitanja, onda će doći do preskakanja

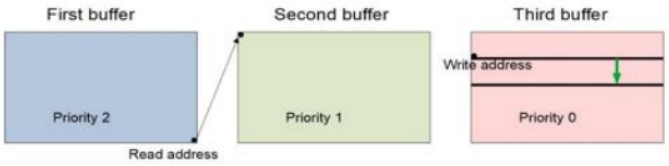
frejma. Na ovaj način se obezbeđuje da se procesi ne sustižu i da se okvir ne smrzava. Glavni nedostatak ovog pristupa je povećanje kašnjenja.



Slika 20. Promena bafera za proces čitanja prilikom trostrukog baferisanja

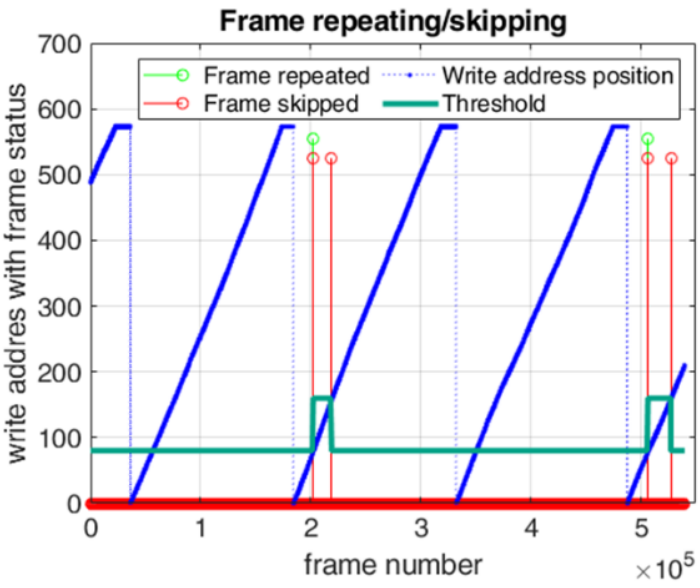
Smanjenje kašnjenja se može postići tako što se dozvoli procesu čitanja da uđe u bafer u kojem se trenutno nalazi proces pisanja. Važan uslov je da je proces pisanja otišao dovoljno daleko, pa je prešao određenu graničnu vrednost. Ova procedura baferovanja se naziva modifikovano trostruko baferovanje. Problem koji se ovde javlja je činjenica da se taktovi procesa pisanja i čitanja razlikuju tokom vremena i izgleda da sustižu jedni druge. Ovo je razlog velikog broja preskakanja ili ponavljanja značajnog broja kadrova. U tom trenutku, pokazivač procesa pisanja je blizu granične vrednosti koja određuje da li proces čitanja može da uđe u isti bafer ili da ponovi bafer čitanja. Ovo ponašanje će se nastaviti sve dok pokazivač procesa pisanja ne bude dovoljno udaljen od granične vrednosti. Da bi se sprečila opisana pojava, uvodi se histerezis sa dve zadate granične vrednosti. Proces čitanja proverava prilikom promene bafera da li je pokazivač procesa pisanja dostigao prvu graničnu vrednost. Ako je ovaj uslov ispunjen, postavlja se druga granična vrednost, koja definiše histerezis. Na ovaj način se bezbednije donosi odluka o promeni bafera za proces čitanja, a primer graničnog histerezisa prikazan je na Slika 21, gde su u trećem baferu označene postavljene zone ukrštanja, a zelena strelica ilustruje kretanje granica. Kada pokazivač procesa pisanja dostigne drugu graničnu vrednost, promena će se ponoviti, ali će prva granična vrednost biti

postavljena u toj tački (zelena strelica će imati suprotan smer). Na ovaj način se kašnjenje značajno smanjuje.



Slika 21. Granične vrednosti za promenu bafera prilikom modifikovanog trostrukog baferisanja

Na Slika 22 je prikazano ponašanje sistema kada se primenjuje modifikovano trostruko baferovanje sa promenama histerezisa. Plavim tačkama je prikazan pokazivač za adresu upisivanja i on putuje od nulte adrese do maksimalne adrese definisane visinom slike koju kamera daje na svom izlazu, a koju treba preneti. Kada dostigne maksimalnu adresu, ostaje neko vreme da sačeka da stignu sledeći podaci o slici, pošto je prošireni frejm nešto veći od korisnog dela slike. Ponovljeni frejmovi su označeni svetlozelenom linijom, dok su preskočeni frejmovi označeni crvenom linijom, a granica histerezisa je označena tamnozelenom linijom. Kada dođe do promene granice histerezisa, može doći do ponavljanja frejmova, kao i preskakanja frejmova ili obe situacije. Do ponavljanja i preskakanja kadrova može doći samo kada se promene granice histerezisa i to se dešava jednom u 250000 kadrova. U Tabela 3 je prikazano ponašanje sistema i kašnjenje prenetih podataka slike u slučajevima pojedinačnog baferovanja, dvostrukog baferovanja, trostrukog baferovanja i modifikovanog trostrukog baferovanja.



Slika 22. Promena histerezisa u modifikovanom trostrukom baferisanju

Tabela 3. Tehnike baferisanja

Tehnike baferovanja	Kašnjenje	Ponašanje
Jednostruko baferisanje	Deo frejma	Nisko kašnjenje/ problem sinhronizacije
Dvostruko baferisanje	0 ↔ 1 frejm	Nisko kašnjenje/ problem sinhronizacije
Trostruko baferisanje	1 ↔ 2 frejma	Visoko kašnjenje/ nema problema sinhronizacije
Modifikovano trostruko baferisanje	granica ↔ 1 frejm + granica	Srednje kašnjenje / nema problema sinhronizacije

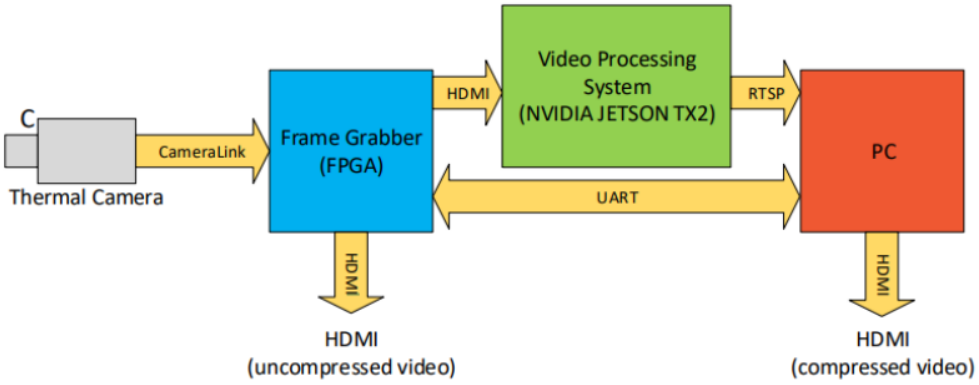
2.5.3. Implementacija selektivnog bojenja termalne slike na FPGA

Termička slika je tehnika akvizicije slike obradom toplotnog zračenja koje emituju vrući objekti [59]. Bilo koji objekt na temperaturi višoj od apsolutne nule (tj. T>0K) emituje elektromagnetno zračenje [60]. Stefan-Boltzmannov zakon opisuje snagu koja zrači iz crne boje tela u smislu njegove temperature. Temperatura ljudskog tela ima vrhunac toplotnog zračenja u infracrvenom delu elektromagnetnog spektra. Ljudsko oko ne može videti ova vrsta

zračenja, pa su infracrveni merni uređaji potrebni za prikupljanje i obradu ovih informacija [61]. Postoji nekoliko tipova detektora srednjeg talasa infracrvenog zračenje. Najosnovniji je pirometar koji ima jedan detektor sposoban da detektuje temperaturu jedne tačke. Većina naprednih uređaja uključuje niz senzora za generisanje detaljne infracrvene slike scene. Glavna prednost termičkog u odnosu na optičko snimanje je to što osvetljenje objekata nije potrebno zbog emisije vrućih predmeta u infracrvenom delu elektromagnetnog spektra. Pseudobojanje, poznato i kao lažno bojenje, je metoda umetnog bojenja slike u nastojanju da se otkriju skriveni detalji i teksture originalne slike koja je u sivim tonovima. Postoje različite razvijene metode pseudo bojenja i palete boja [62].

Sistem za implementaciju i testiranje primene algoritama pseudobojenja se sastoji od termovizijske kamere, našeg hardvera za prikupljanje podataka slike sa kamere implementiranog na Xilinx Kintex 7 [35] seriji FPGA i ploče za glavnu obradu video signala zasnovane na NVIDIA Jetson TX2 platformi [39] koja poseduje ARMv8 procesor sa NVIDIA Compute Unified Device Arhitekturom (CUDA) jezgara za grafičko ubrzanje, sve od kojih je integrisana Vlatacom Video Signal Processing (VVSP) platforma [63]. Izlazni video format sa termalne kamere je VGA (640x480 piksela pri 60 frejmova u sekundi). Jedan od dva HDMI interfejsa su povezani na NVIDIA Jetson TX2 i drugi se koristi za prikazivanje nekomprimovanog videa na monitor. Video je komprimovan na NVIDIA Jetson TX2 ugrađenom sistemu za obradu video zapisa.

PC preuzima komprimovani mrežni prenos slike putem Real Time Streaming Protocol-a(RTSP) [64] i prikazuje ga na monitoru.

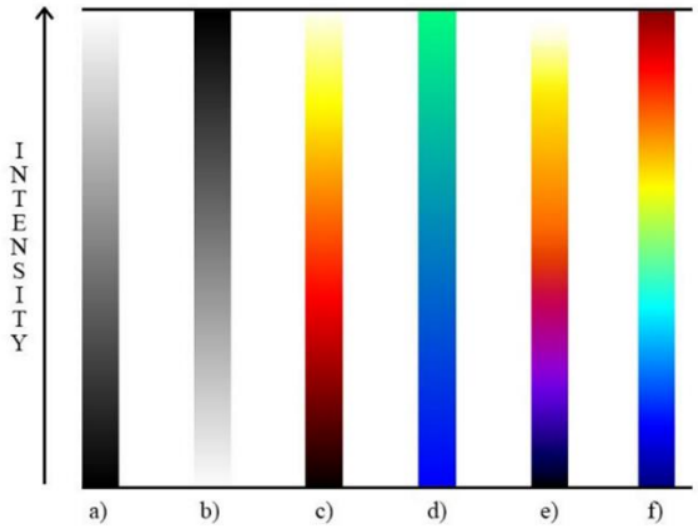


Slika 23. Funkcionalni blok dijagram sistema koji se koristi za selektivnost u realnom vremenu pseudo bojenja video okvira sa termovizijske kamere

Selektivno pseudo bojanje je naš pristup da istaknemo objekte sa toplotnom emisivnošću odabirom dva praga. Proces formiranja Look-up Tabele (LUT) prikazan je na Slika 24. Postoje dva praga koje korisnik može odabrati ručno. LUT u sivim tonovima je opisan jednačinom (1). R(i),G(i), B(i) su vrednosti crvenog, zelenog i plavog kanala boje, respektivno. Parametar "i" je intenzitet piksela sa termalne kamere.

$$R_a(i) = G_a(i) = B_a(i), \quad i \in [0,255] \in N_0 \qquad (1)$$

Izvedene su sve opisane LUT palete sa Slika 24 iz "Image J" [65], projekta otvorenog koda za nauku o analizi slike. Moguće je koristiti sve definisane palete pseudo bojanja za metodu opisanog selektivnog pseudo bojanja.



Slika 24. Grafički prikaz svih dostupnih pseudo paleta boja za selektivno pseudo bojenje. a) direktna LUT paleta, b) inverzna LUT paleta, c) vruća LUT paleta, d) hladna LUT paleta, e) inferno LUT paleta, f) jet LUT paleta

Formalno selektivno pseudo bojenje s pragom i neproširenu LUT je opisan jednačinama (2), (3) I (4). Korisnik bira funkcije $Rb\ (i)$, $Gb\ (i)$, $B(i)$ odabirom pseudo palete boja putem grafičkog korisničkog interfejsa (GUI). Te palete su prikazane na Slika 24.

$$R_c(i) = \begin{cases} i\ ,\ i < th_1, & i \in [0,255] \\ R_b(i), & th_1 \le i \le th_2,\ i \in [0,255] \\ i\ ,\ i > th_2, & i \in [0,255] \end{cases} \quad (2)$$

$$G_c(i) = \begin{cases} i\ ,\ i < th_1, & i \in [0,255] \\ G_b(i), & th_1 \le i \le th_2,\ i \in [0,255] \\ i\ ,\ i > th_2, & i \in [0,255] \end{cases} \quad (3)$$

$$B_c(i) = \begin{cases} i\ ,\ i < th_1, & i \in [0,255] \\ B_b(i), & th_1 \le i \le th_2,\ i \in [0,255] \\ i\ ,\ i > th_2, & i \in [0,255] \end{cases} \quad (4)$$

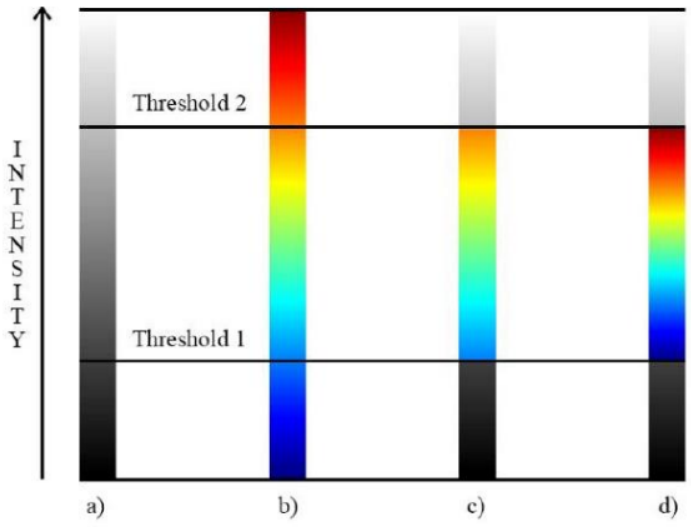
Formalno selektivno pseudo bojenje s pragom i prošireni LUT je opisan jednačinama (5), (6), (7) I (8).

$$th_2 - th_1 \neq 0 \quad (5)$$

$$R_d(i) = \begin{cases} i\ ,\ i < th_1, & i \in [0,255] \\ R_b\left(\left[\frac{255}{th_2 - th_1}\right]\right), & th_1 \leq i \leq th_2, \ i \in [0,255] \\ i\ ,\ i > th_2, & i \in [0,255] \end{cases} \quad (6)$$

$$G_d(i) = \begin{cases} i\ ,\ i < th_1, & i \in [0,255] \\ G_b\left(\left[\frac{255}{th_2 - th_1}\right]\right), & th_1 \leq i \leq th_2, \ i \in [0,255] \\ i\ ,\ i > th_2, & i \in [0,255] \end{cases} \quad (7)$$

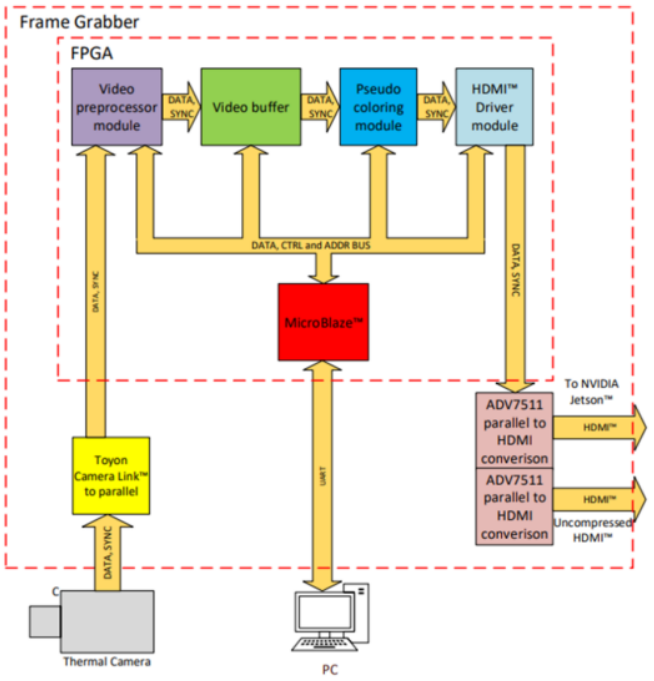
$$B_d(i) = \begin{cases} i\ ,\ i < th_1, & i \in [0,255] \\ B_b\left(\left[\frac{255}{th_2 - th_1}\right]\right), & th_1 \leq i \leq th_2, \ i \in [0,255] \\ i\ ,\ i > th_2, & i \in [0,255] \end{cases} \quad (8)$$



Slika 25. Vizuelni prikaz generisanja selektivnog pseudo bojenja LUT paleta: a) LUT paleta sivih tonova, b) LUT paleta „Jet" pseudo boja, c) Selektivno pseudo bojenje sa dva praga i neproširenim LUT-om paleta, g) Selektivno pseudo bojenje sa dva praga i proširenim LUT-om paleta.

FPGA noseća ploča sa svojim čipsetom se koristi za prihvatanje frejma iz Camera Link interfejsa i obradu snimljenog kadra. Implementirani FPGA sistem se sastoji od video preprocesor modula, video bafera, pseudo modula za bojenje, HDMI drajver modula i MicroBlaze mikrokontrolera implementiranog na FPGA. Video preprocesorski modul se sastoji od multipleksera za izbor širine bita ulaznog toka podataka sa Camera Link interfejsa I

pretvarača RGB u YUV skup boja. Moguće konfiguracije su: 8, 10, 12, 14 i 16 bita. Svrha video bafera je da sinhronizuje ulaz i izlaz po pitanju brzine kadrova iz različitih interfejsa, tj. domena takta. Može pohraniti jedan celi okvir.



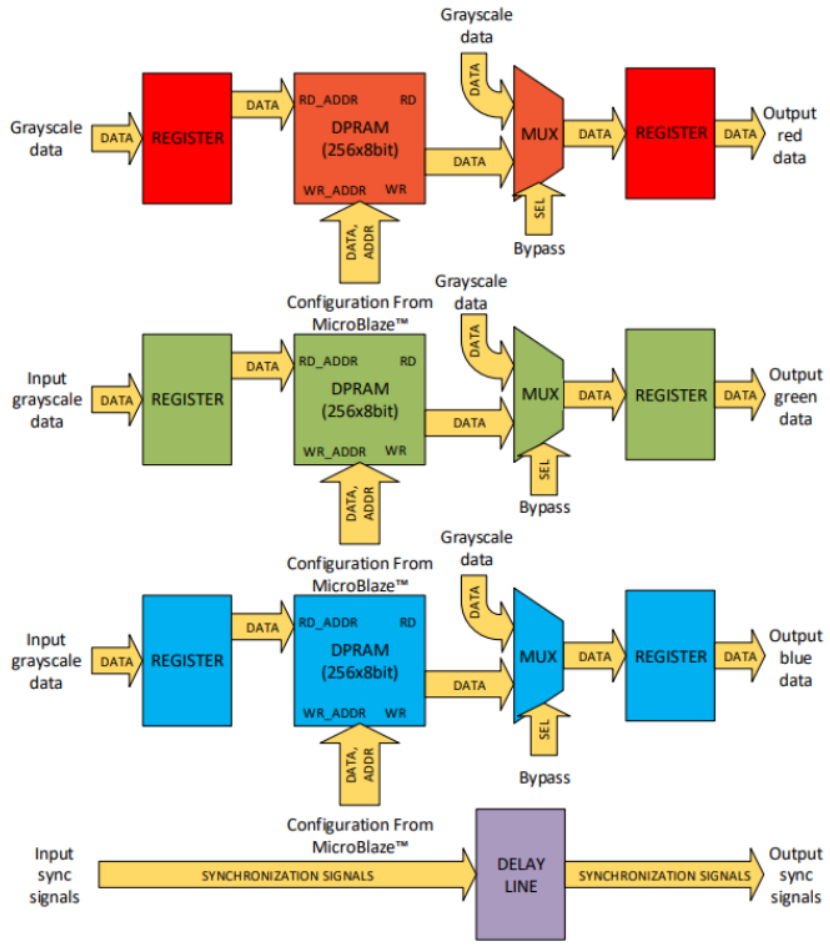
Slika 26. Uprošćena blok šema FPGA frame grabber-a

Modul za pseudo bojanje je deo celokupnog sistema koji je implementiran na FPGA platformi. Podaci u nijansama sive predstavljaju signal širine 8 bita koji nosi informacije piksela koji se trenutno crta na ekranu preko HDMI interfejsa. Vrednost signala se upisuje u registar da bi se smanjilo raspršivanje logike koja pokreće ovaj signal jer se isti koristi za nekoliko drugih modula. Registrovan signal u nijansama sive ide na čitanje adresnog ulaza dvoportnog RAM (DPRAM) modula i izlazni podaci se generišu kao izlaz iz LUT-a. Port za upisivanje u DPRAM se koristi za učitavanje LUT-a iz MicroBlaze mikrokontrolera. Nije moguće čitati sadržaj ovog LUT-a iz MicroBlaze-a. U ovoj konfiguraciji DPRAM deluje kao konfigurabilni LUT. Multiplekser

posle DPRAM-a se koristi za zaobilaženje LUT-a kada DPRAM nije inicijalizovan npr. nakon resetovanja sistema. Postoje tri DPRAM-a za svaki kanal u boji. DPRAM ima dubinu od 256x8bit reči. Izlaz iz multipleksera se registruje za smanjenje multiplekserske logike. Izlazno kašnenje iz ovog modula je opisano jednačinom (9).

$$\tau_{delay} = \tau_{delay} + \tau_{DPRAM} + \tau_{reg} \cong 3 * T_{clk} \quad (9)$$

Frame Valid, Data Valid i Line Valid signali su signali za sinhronizaciju potrebni za generisanje HDMI izlaznog signala. Signali za sinhronizaciju moraju biti odgođeni za $\tau\ delay$ da bi bili u sinhronizaciji sa izlaznim podacima iz pseudo modula za bojenje.

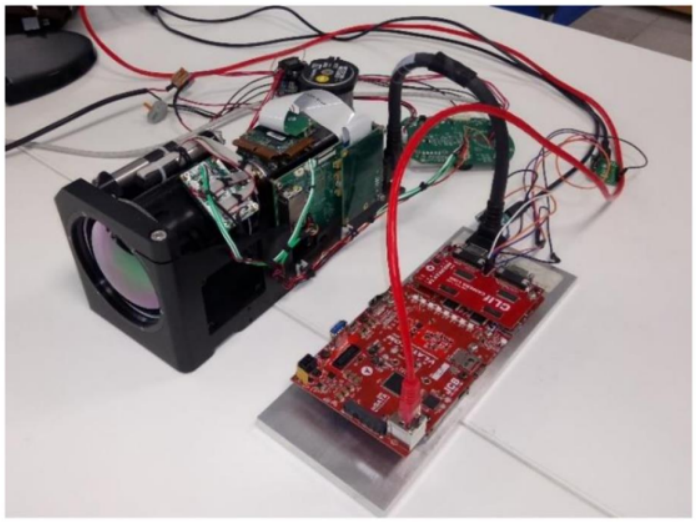


Slika 27. Blok šema realizovanog pseudokoloring modula na FPGA

HDMI upravljački modul generiše adresne signale za čitanje iz video bafera i sinhronizacijske signale za upravljanje eksternog Integrisanog Kola (IC) paralelne na HDMI konverzije. HDMI upravljački modul se može konfigurisati sa MicroBlaze mikrokontrolera za promenu rezolucije i brzine kadrova HDMI interfejsa. MicroBlaze, jezgro intelektualne svojine (IP), jeste mikrokontroler koji se koristi za upravljanje pomenutim modulima. Koristi se 64 KB internog blok RAM-a implementiranog u logičku strukturu FPGA za pohranjivanje aplikacije preko UART

terminala koja prima komande iz MATLAB GUI aplikacije. LUT-ovi su kreirani u GUI na PC-u i učitani u pseudo modul za bojanje preko UART interfejsa na MicroBlaze.

Eksperimentalni sistem se sastoji od termovizijske kamere RP Optics C330 [66] sa elektronski kontrolisanom optikom sa računara, Vlatacom VVSP modula i dve UART veze na računaru. Jedna se koristi za konfigurisanje kamere a druga za komunikaciju sa MicroBlaze mikrokontrolerom na Vlatacom VVSP modulu. Ethernet konekcija se koristi za gledanje video toka preko uključenog RTSP-a na lokalni PC.



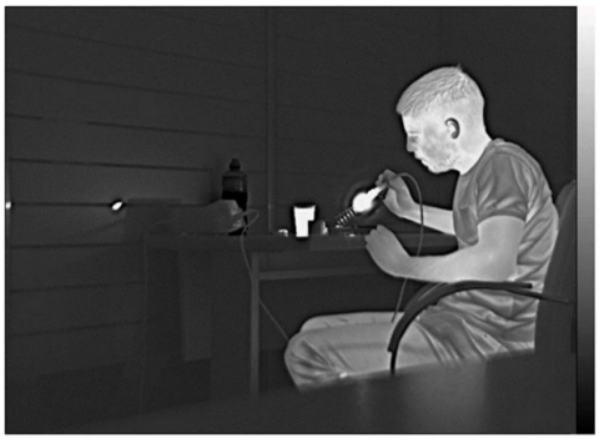
Slika 28. Postavka koje se koristi za snimanje slika za primere. RP Optika C330. Termovizijska kamera je na levoj strani slike i Vlatacom VSP modul je na desnoj strani slike (crvena PCB).

Na Slika 29. scena je uočena u vidljivom delu elektromagnetnog spektra. Postoji nekoliko objekata od interesa za ovu sliku kao što je topla šolja vode, flaša hladne vode i subjekta koji drži vruću lemilicu.



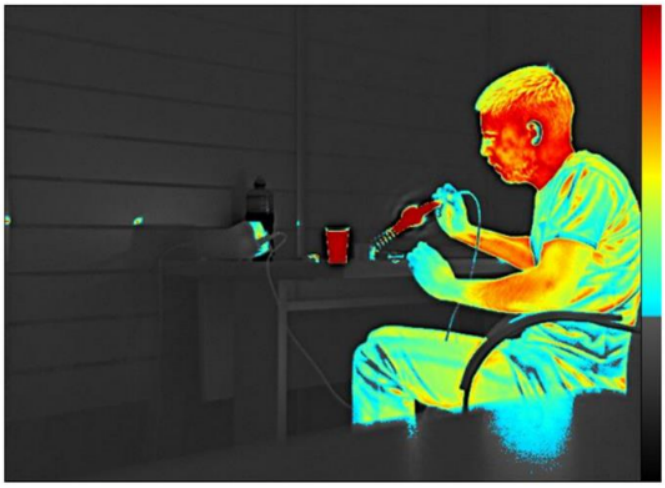
Slika 29. Posmatrana scena uhvaćena u vidljivom delu elektromagnetnog spektra

Frejm na Slika 30. je snimljen termovizijskom kamerom. Na ovoj slici se jasno vidi da su ta šolja vode i lemilica su zaista vrući. Refleksija lemilice na staklenom zidu je jasno vidljiva na ovoj slici.



Slika 30. Okvir u nijansama sive rezolucije 640x480 piksela od termalne kamere

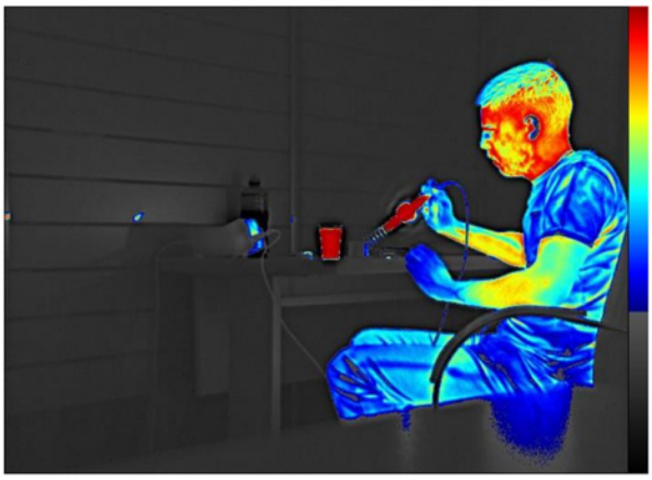
Nakon što se nanese pseudo bojanje za određene pragove, predmeti kao što su šolja tople vode i lemilica su naglašeni na Slika 31.



Slika 31. Selektivno pseudo bojenje kadra sa termo kamere sa th1=0 i th2=87 bez LUT ekspanzije. LUT paleta se nalazi na desnoj strani slika.

Kontrast objekata od interesa se dodatno povećava kada je LUT proširenje primenjeno na

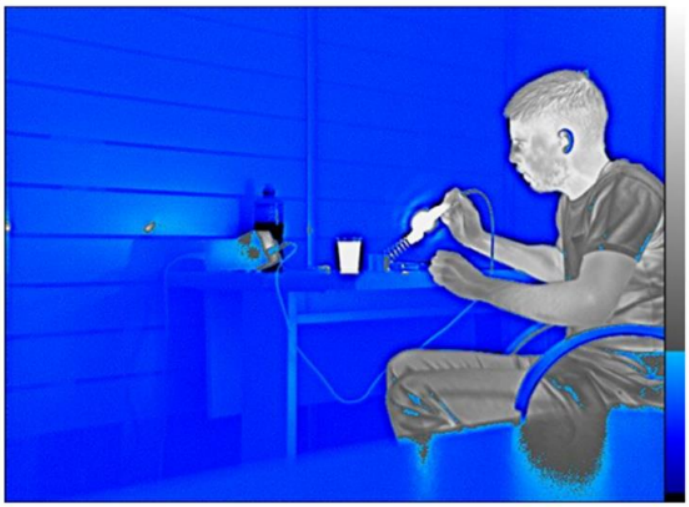
Slika 32.



Slika 32. Selektivno pseudo bojenje kadra sa termo kamere sa th1=0 i th2=87 sa proširenim LUT-om. LUT paleta boja je na desnoj strani

Takođe je moguće empirijski izolovati hladnu pozadinu na osnovu izvedenih nivoa praga kao

što je prikazano na Slika 33.



Slika 33. Selektivno pseudo bojenje okvira za parametre th1=5 I th2=79. LUT paleta boja nalazi se na desnoj strani slike

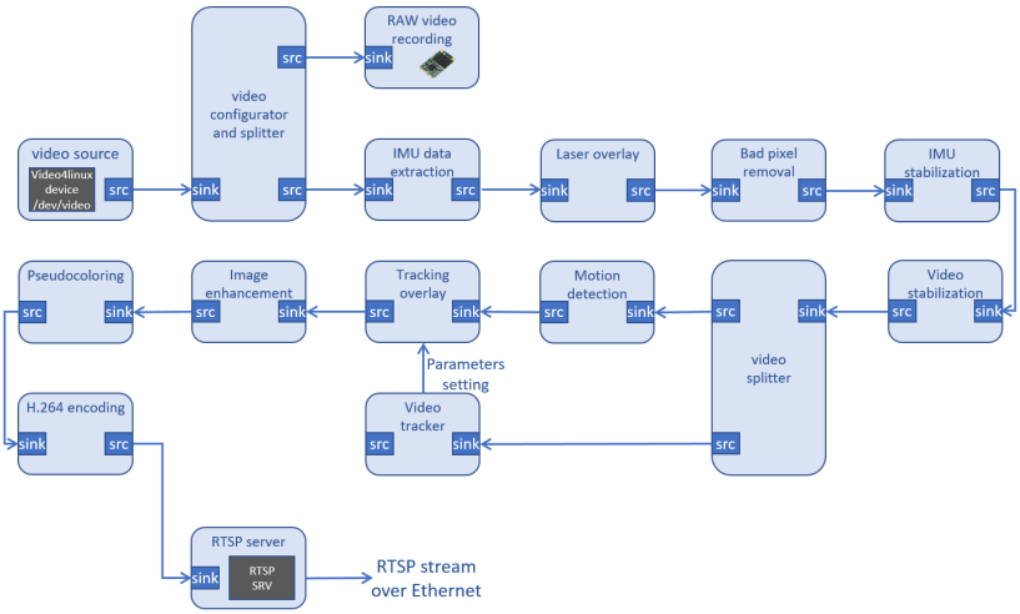
Implementacija je dokazala da je ubrzanje procesa pseudo bojenja zaista moguća uz korišćenje FPGA. Selektivno pseudo bojenje dalo je dobre rezultate, s obzirom da je vidljivost predmeta od interesovanja na slici znatno povećana. Povećanjem dinamičkog opsega snimljenog kadra i dubine bita se očekuje da će modul pseudo bojanja dati još bolje rezultate.

2.5.4. Primena algoritama – obrada video signala na aplikativnom modulu

Kompletna obrada video signala na aplikativnom procesoru je dizajnirana da primeni algoritme na video signal primljen sa ulaznog Linux video uređaja (npr. /dev/video, koji prima sadržaj sa FPGA), a rezultat je kompresovani video signal sa primenjenim algoritmima koji će se emitovati preko Eterneta. Da bi se ova ideja realizovala, koristi se poznata biblioteka GStreamer [67]. GStreamer je okvir napisan u programskom jeziku C i koristi koncepte objektno orijentisanih jezika, pošto je zasnovan na GObject i GLib bibliotekama. Skup međusobno povezanih elemenata u kojima podaci putuju od "izvornog" elementa (strana proizvođača), do "sink" elementa (strana potrošača), i usput obavlja različite zadatke, naziva se "cevovod". Inkapsuliranje jednog ili više elemenata u obliku dodatka omogućava

GStreameru da ih koristi. Kada se koristi u Linux operativnom sistemu, dodatak je u osnovi blok koda koji se može učitati u obliku deljene objektne datoteke (.so).

Realizacija protoka podataka za primenu algoritama na VVSP modulu je prikazana na Slika 34. U ovom konkretnom primeru, GStreamer elementi mogu imati određene funkcionalnosti, kao što su konfiguracija, razdvajanje, ili preklapanje teksta putem video signala, itd. Svaki algoritam koji obrađuje video signale na bilo koji način je implementiran kao poseban dodatak. Takođe, svaki od algoritama tokom protoka podataka može da se uključi ili isključi u zavisnosti od potrebe za njegovom funkcionalnošću.



Slika 34. VVSP tok obrade video signala

Gstreamer elementi mogu imati određene funkcionalnosti, kao što su konfigurator video signala i razdelnik ili sloj preklapanja. Takođe, mogu se implementirati kao dodaci koji predstavljaju specifične primenjene algoritme uključujući: uklanjanje loših piksela [68], stabilizaciju videa, IMU stabilizaciju [11], praćenje objekata [12], poboljšanje videa [13],

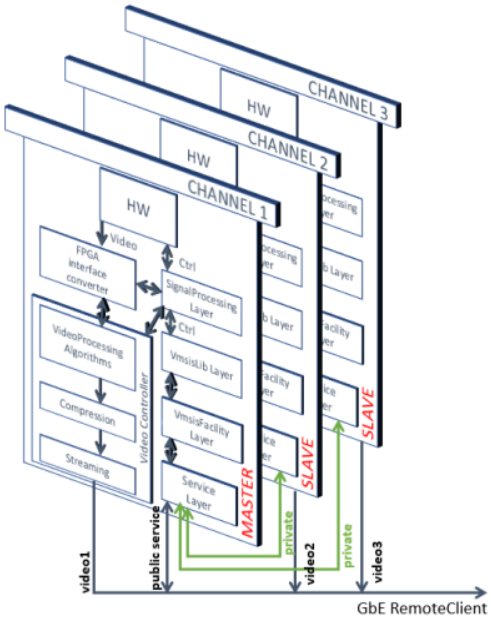
pseudobojanje, detekcija kretanja, h.264/265 kodiranje (sa namenskim hardverskim koprocesorom), itd. Svi ovi algoritmi su razvijeni u Institutu Vlatacom. Konačno, video signal se priprema za strimovanje instanciranjem servera protokola za strimovanje u realnom vremenu (RTSP) [64].

2.6. Arhitektura softvera

Drugi aspekt razvoja VVSP modula je dizajn softvera, koji je u potpunosti urađen u Institutu Vlatacom, sa osnovnom arhitekturom prikazanom na Slika 35. Sa softverske strane, VMSIS3 sistem je samostalan, elektronski uređaj koji proizvodi podatke slike koristeći jedan ili više senzora slike i optičkih uređaja u različitim opsezima elektromagnetnog spektra i pruža ove podatke u obliku video toka uređajima ili aplikacijama krajnjih korisnika. VMSIS3 takođe obezbeđuje kontrolu i praćenje različitih operativnih parametara sistema. Ako posmatramo VMSIS3 sistem sa komunikacijske strane, to je u stvari Ethernet mrežni uređaj koji se kontroliše preko jedne IP adrese, koji šalje video tok preko više IP adresa. Ove IP adrese koriste uređaji i aplikacije krajnjih korisnika, označeni kao udaljeni klijenti, za prihvatanje obezbeđenog video toka, kao i za pristup javnim uslugama sistema VMSIS3.

Tipična konfiguracija EO sistema VMSIS3 se sastoji od dva ili tri senzora slike, zajedno sa odgovarajućim optičkim sočivima koji su montirani na pokretnoj platformi (pan-tilt), zajedno sa EO sistem kontrolerom. Termin EO sistem kontroler označava skup računarskih procesora sa pripadajućim hardverom, koji predstavljaju VVSP module i softverske komponente, odgovorne za kontrolu EO sistema, akviziciju i obradu slike, kao i video striming. Odgovornosti EO sistem kontrolera su podeljene između zasebnih VVSP modula koji pokreću softverske komponente kontrolera.

Termin EO kanal se odnosi na jednu koherentnu grupu uređaja i softverskih komponenti okupljenih oko jednog senzora slike ili jednog video toka. EO kanali mogu da dele neke od uređaja, kao što je na primer pan-tilt. Svaki EO kanal ima najmanje jedan namenski VVSP modul za kontrolu i video obradu na tom EO kanalu. VVSP moduli sa ovom ulogom će se nazivati modulima kanala. Dodatna uloga koju VVSP može imati je da obezbedi javni interfejs za EO sistem i da komunicira sa internim modulima kanala, koji je označen kao glavni kontroler. Bez obzira na njegovu ulogu u EO sistemu, isti VVSP softver radi na svim VVSP modulima i njegova uloga zavisi od njegove konfiguracije.



Slika 35. VVSP Arhitektura softvera

VVSP softver radi u jednom procesu operativnog sistema i može imati ulogu glavnog kontrolora ili slave ili oboje. Treba napomenuti da postoje dve svrhe VVSP softvera u vezi sa EO kanalom:

• Prvi se odnosi na akviziciju, kompresiju, obradu i striming video okvira na javnoj strani EO sistema

• Drugi se odnosi na kontrolu uređaja (kamera, sočivo kamere, nagib, itd.).

Glavni kontroler omogućava komunikaciju sa udaljenim klijentima korišćenjem odgovarajućih servisa. VMSIS3 u okviru VVSP modula se oslanja na korišćenje veb servisa implementiranih u podskupu ONVIF Profile S protokola [69] sa nekim prilagođenim ekstenzijama.

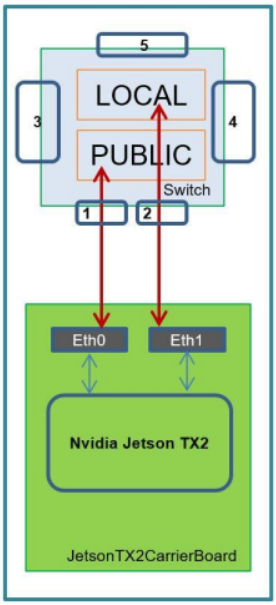
VVSP softver je veoma kompleksno rešenje organizovano u nekoliko zasebnih C++ projekata koji su grupisani u nekoliko slojeva. Pripadnost sloja zavisi od nivoa apstrakcije kojem pripada, pri čemu je najviši sloj (vrh) najbliži udaljenom klijentu, dok je najniži sloj (donji) najbliži hardveru. Slojevi od dna do vrha organizovani su na sledeći način: Vmsis sloj za obradu signala, Vmsis Lib sloj, Vmsis Faciliti Lejer i Vmsis Service Lejer. Sa stanovišta integracije ovi projekti su predstavljeni kao grupa C++ bibliotečkih projekata koji su povezani u projekat izvršne aplikacije.

Svaki uređaj u sistemu VMSIS3 je podržan u sloju za obradu signala Vmsis, na nivou pristupa registru, što znači da za svaki uređaj postoji konvertor interfejsa iz matičnog komunikacionog protokola uređaja u GenTL interfejs za pristup zasnovan na registru [70]. GenTL interfejs uvodi ideju predstavljanja bilo kog uređaja kao skupa registara na različitim adresama, koji prihvataju podatke određenog tipa. Svaka karakteristika uređaja je povezana sa određenim registrom. GenTL je zasnovan na GenICam-u [71]. GenICam standard obezbeđuje generički interfejs za programiranje za sve vrste uređaja, bez obzira na tehnologiju interfejsa koju koriste. Vmsis Lib Softvare Lejer predstavlja bilo koji uređaj ili softversku komponentu u VMIS3 sistemu kao generički uređaj. Prema GenICam specifikaciji, primenjuje se nivo čvorova, uređaja, interfejsa i sistema. Vmsis Faciliti Lejer se odnosi na identifikaciju uređaja tako što ih

klasifikuje u kategorije. Generički uređaj iz Vmsis lib sloja u Vmsis sloju postrojenja postaje uređaj kamere sa sočivom sa svojim specifičnim karakteristikama, Pan-Tilt uređaj ili laserski daljinomer, itd. Najviša apstrakcija ovog softverskog sloja je Faciliti. Objekat predstavlja neki podsistem ili grupu funkcija koje obezbeđuje EO sistem, tako da postoje sledeći objekti u VSP softveru: Osnovni objekat, Medijski objekat, Ptz objekat, Imaging faciliti, Komponentni objekat, Lrf objekat, Objekat za održavanje i Video objekat . Ceo sloj Vmsis postrojenja nalazi se u Vmsis biblioteci postrojenja. Vmsis Service Lejer implementira usluge ONVIF Profile S protokola, kao i prilagođene usluge prema potrebama klijenata i sistema u koje je integrisan VMSIS3. Pokretanje VVSP izvršne datoteke se vrši pomoću menadžera usluga operativnog sistema Linux.

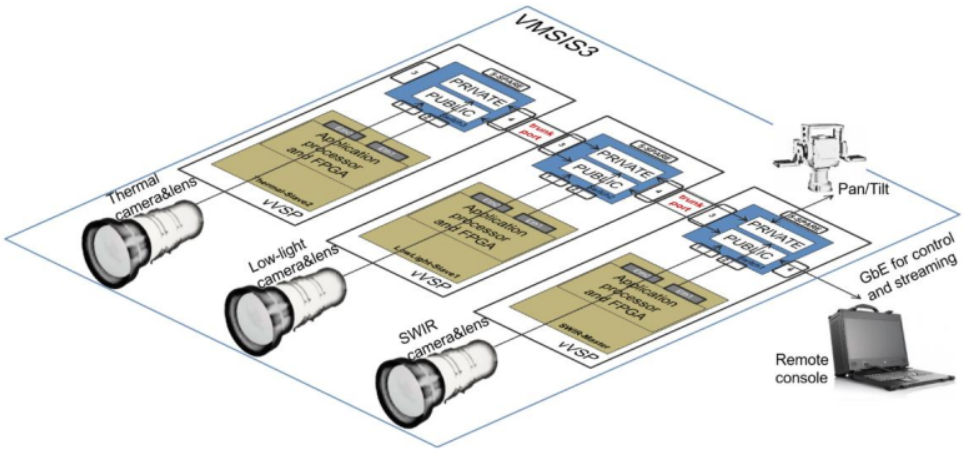
2.7. Arhitektura mreže

Da bi se u potpunosti omogućila distribuirana arhitektura primenjena u sistemu VMSIS3, pri projektovanju VVSP modula posebna pažnja je posvećena mrežnoj arhitekturi. Na procesoru aplikacije, dve mrežne kartice (NIC) su integrisane unutar VVSP modula, tako da procesor ima dva pristupna porta za svoj integrisani upravljani Ethernet prekidač. Ova implementacija omogućava da svaki VVSP modul ima dve odvojene mreže, privatnu i javnu, kao što je prikazano na Slika 36, kako bi se poboljšala bezbednost celog sistema.



Slika 36. Mrezni interfejsi VVSP modula

VLAN tehnologija [72] se koristi da omogući postojanje dve (ili više) izolovanih mreža. Poenta je da se VLAN oznake primenjuju na Ethernet pakete i pravilnim prepoznavanjem ovih oznaka moguće je kreirati funkcionalnost mrežnog saobraćaja koji je fizički na jednoj mreži, ali se ponaša kao da se deli između različitih mreža. Jasno je da je na ovaj način saobraćaj u jednoj mreži razdvojen tako da je fizička LAN mreža podeljena na nekoliko domena povezanih u logičkom smislu. Tako su privatni i javni deo mreže na VVSP modulu odvojeni VLAN-ovi, a zajedno se prenose preko TRUNK porta, koji može da nosi oba. Aplikacioni procesor javnom delu mreže pristupa preko Eth0 interfejsa, dok se privatnom delu mreže pristupa preko Eth1 interfejsa. Topologija VMSIS3 mreže je predstavljena na Slika 37.

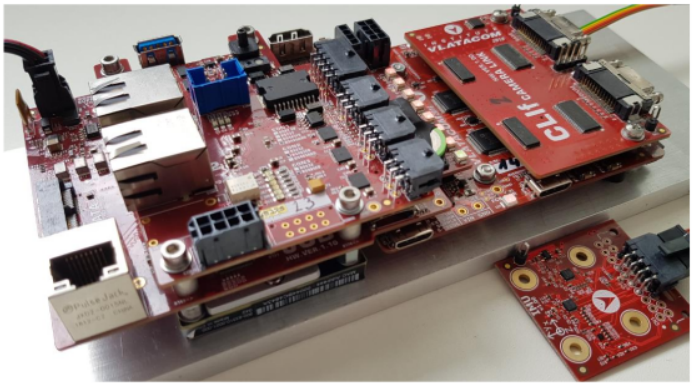


Slika 37. VVSP Topologija mreže

Na slici je prikazan sistem koji se sastoji od tri kanala, a time i tri kaskadno povezana VVSP modula. Prvom VVSP modulu u kaskadi dodeljena je uloga glavnog kontrolera i jedan od njegovih komutacionih portova je konfigurisan za javni pristup spoljnoj mreži. Ovaj port omogućava pristup delu javne mreže sistema VMSIS3, a samim tim i njegovom servisu. Takođe, svi komprimovani tokovi generisani sa RTSP servera na modulima VVSP kanala prenose se kroz javni deo sistema i dostupni su spoljnom svetu (udaljenim uređajima i aplikacijama). Sva komunikacija koja je zaštićena od spoljašnjeg sveta obavlja se u privatnom delu mreže. Takođe, na ovaj deo mreže su povezani svi uređaji koji bi trebalo da budu vidljivi samo u okviru VMSIS3 sistema. To mogu biti kamere koje imaju mrežni interfejs za konfiguraciju ili, kao što je prikazano na Slika 9, pan-tilt uređaj koji ima izvorni mrežni interfejs. Ako je u bilo kom trenutku neophodno pristupiti mrežnim uređajima iz privatne mreže iz spoljašnjeg sveta, to se može uraditi odgovarajućim prosleđivanjem portova. Ovo je, naravno, strogo kontrolisana operacija i zahteva zaštitu pristupa na više nivoa.

2.8. Integracija

Potpuno sastavljeni VVSP modul sa svim naslaganim pločama uključujući i interfejsnu ploču (CLIf u ovom slučaju) i povezani IMU senzor je prikazan na Slika 38. Struktura naslaganih ploča u kombinaciji sa visoko integrisanom tehnologijom sa pouzdanim konektorima za povezivanje ploča dozvoljavaju minijaturne dimenzije modula, tako da kompletan VVSP modul ima veličinu otvorene šake. Potrošnja energije jednog modula je oko 10-15W. VVSP modul je predviđen da se spakuje u isto kućište kao i kamera, objektiv i druga srodna oprema, a ožičenje između VVSP-a i pomenute opreme se realizuje unutar kućišta bez spoljnih kablova, osim glavnog napajanja. Napojna i komunikaciona veza sistema VMSIS3 prolazi kroz pan-tilt klizni prsten, tako da je omogućeno pomeranje sistema N x 360°.



Slika 38. VVSP Modul sa povezanim IMU senzorom

IMU senzor prikazan na Slika 38 je predviđen da bude mehanički spregnut sa senzorom kamere tako da IMU stabilizacijski algoritam ima najbolje moguće performanse. VVSP modul je povezan sa IMU senzorom preko namenskog interfejsa.

Na Slika 39 prikazani su delovi VVSP modula u fazi razvoja. Na levoj slici, gomila štampanih ploča koja uključuje prve revizije JCB i FCB ploča sa AnSDif interfejs pločom, IMU senzorskom pločom i žicama je povezana na osciloskop radi testiranja i otklanjanja grešaka. U ovoj fazi

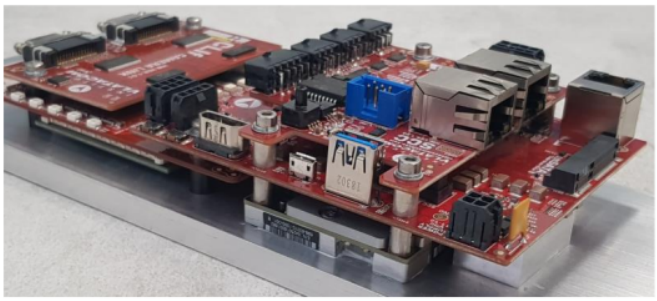
razvoja projekta, testiranje video i komunikacionih interfejsa se vrši na hardverskom nivou. Na desnoj slici je izvršeno testiranje dela protoka video signala preko FPGA procesora pre nego što dođe do glavnog aplikativnog procesora na dalju obradu. Video stream se dobija akvizicijom signala i FPGA preprocesiranjem sa termalne kamere i prikazuje se na izlaznom monitoru.



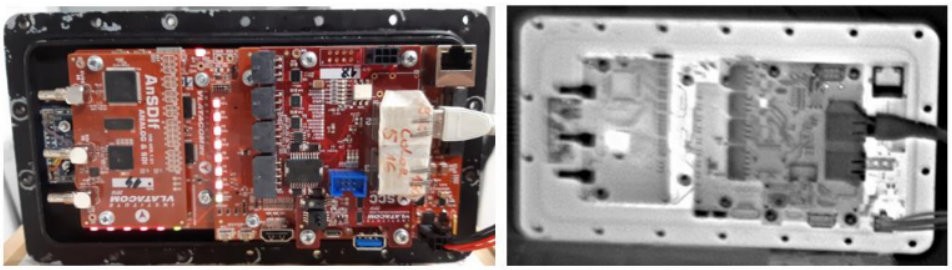
Slika 39. VVSP modul u fazi razvoja

Jedna od velikih prednosti VVSP modula koju treba pomenuti jeste rad u režimu bez ventilatora. Aluminijumski nosač na koji su direktno povezane kritične komponente u pogledu odvođenja toplote (Jetson TX2 i FPGA modul) postavljen je na zid VMSIS3 kućišta. Ovaj zid je sa spoljne strane rebrast, tako da se toplota direktno prenosi u okolinu, što čini najefikasniji način pasivnog hlađenja. Između modula i nosača postavlja se toplotno provodljivi materijal. Rešenje za pasivno hlađenje sistema sa aluminijumskom podrškom je prikazano na Slika 40. Prikaz VVSP modula u potpuno operativnoj fazi snimljenog sa slabim osvetljenjem i termalnom kamerom snimljenom sistemom VMSIS3 prikazan je na Slika 41. Završen VVSP modul sa FullHD rezolucijom pri 30 kadrova u sekundi koji je pripremljen za ugradnju u VMSIS3 kućište testira se pre instalacije. VVSP prikazan na slici 16 je pušta uživo test obrazac u FullHD rezoluciji pri 30fps i na desnoj strani slike isti modul je snimljen termalnom kamerom tako da

se distribucija temperature duž čitavog niza ploča može vizuelizovati. Gradacija za termičko bojenje u ovom slučaju ide od crne (hladne) do bele (vruće).



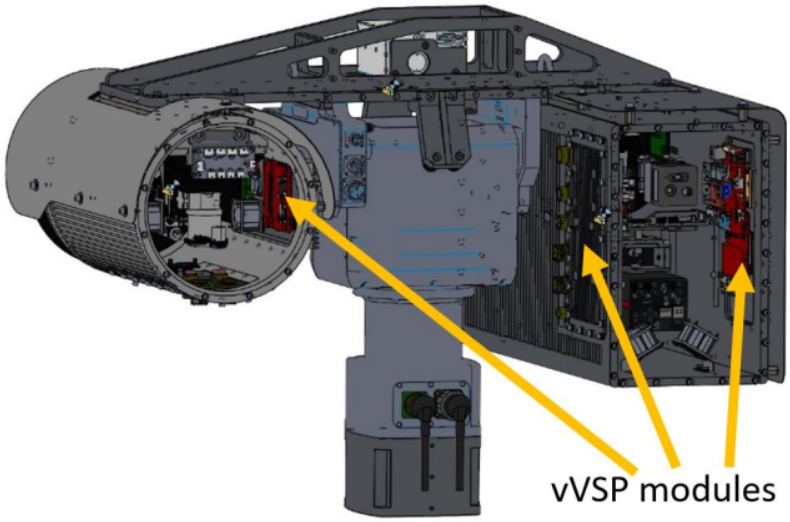
Slika 40. VVSP resenje hladjenja



Slika 41. VVSP modul snimljen lowlight i termalnom kamerom

Upotreba implementiranog pasivnog hlađenja omogućava nesmetan rad bilo kog VMSIS3 sistema u temperaturnom opsegu od -25°C do +55°C temperature okoline. Jednom instaliran u kanal VMSIS3 uređaja, VVSP modul postaje hermetički zatvoren, jer je od velike važnosti da se zaustavi prodiranje vlage unutar kanala kako bi se sprečilo bilo kakvo fizičko oštećenje koje vlaga može da izazove elektronskim komponentama. Primer integrisanog VVSP modula povezanog sa drugom opremom u sistemu prikazan je na Slika 42. Ovaj primer pokazuje složenost rasporeda komponenti unutar EO sistema i koliko je malo prostora izdvojeno za VVSP modul. Upravo to je razlog zašto je bila neophodna minijaturizacija modula za obradu video signala. Kao rezultat toga, VVSP modul se može koristiti ne samo u stacionarnim aplikacijama, već se može integrisati i u vozila gde je montiran na stub koji se izvlači. Primer

pozicioniranja svih VVSP modula sa rešenjem za pasivno hlađenje u sistemu VMSIS3 sa T-oblikom pan-tilt je prikazan na Slika 42.



Slika 42. Pozicioniranje VVSP modula u VMSIS3 sistemu

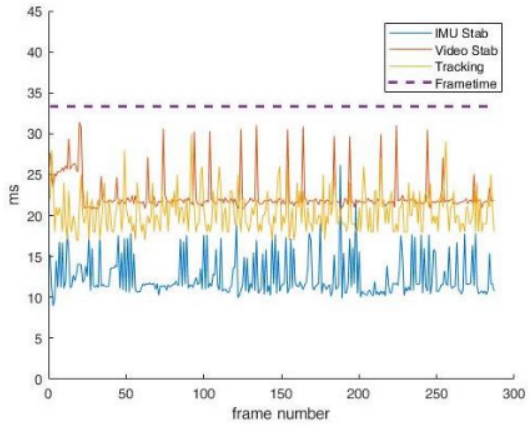
2.9. Rezultati i merenja

U ovom odeljku biće predstavljeni određeni rezultati i poređenja u pogledu performansi algoritama za obradu video zapisa implementiranih u softversku arhitekturu VVSP modula.

Implementirani algoritmi su preuzeti iz referenci[11][12] u kojima se može naći više detalja o implementaciji i performansama koji su van okvira ovog rada. Cilj ovog eksperimenta je samo da pruži kratak uvid u performanse VVSP-a, a ne da ga uporedi sa drugim rešenjima. Treba imati na umu da zbog VVSP koncepta postoji dosta prostora za optimizaciju implementacije algoritama distribucijom zadataka obrade između FPGA, višejezgarnog mikroprocesora i GPU-a. Ova optimizacija je van okvira ovog rada.

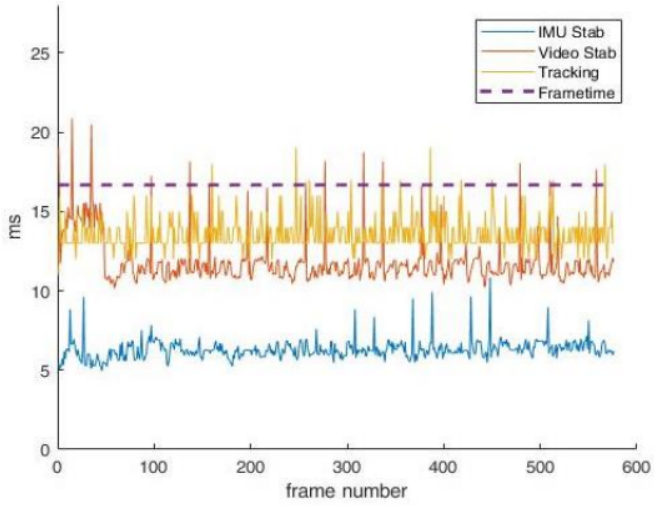
Na Slika 43 je prikazano vreme izvršavanja svih primenjenih algoritama za obradu videa, uključujući IMU stabilizaciju, stabilizaciju videa i praćenje sa strimingom FullHD videa od 30

frejmova u sekundi. Pomenuta rezolucija je korišćena u ovom testu jer je to najveća moguća rezolucija koju VVSP modul trenutno podržava. X osa predstavlja broj frejmova, dok y osa predstavlja vreme potrebno za izvršavanje svakog primenjenog algoritma zajedno sa vremenom potrebnim za jedan frejm. Jasno je da će svaki okvir u ovom slučaju biti prenet, pošto svaki primenjeni algoritam može da završi svoje proračune na vreme pre nego što sledeći okvir dođe na obradu signala.



Slika 43. Vreme izvršavanja algoritama pri prenosu video signala FullHD formata sa 30 frejmova po sekundi

Pošto je testiranje vremena izvršenja algoritama kada je brzina frejmova 30 frejmova u sekundi pokazalo savršene rezultate bez preskakanja kadrova, drugi test se izvodi sa video kanalom kada je brzina frejmova 60 frejmova u sekundi. Na Slika 44 je prikazano vreme izvršavanja svakog primenjenog algoritma sa striming videom VGA rezolucije od 60 frejmova u sekundi. Pokazuje se da neće svaki okvir u ovom slučaju biti prenet, pošto algoritmi za stabilizaciju videa i praćenje ne mogu uvek da završe svoje proračune na vreme pre nego što sledeći okvir dođe na obradu signala. Procenat ispuštenih okvira u ovom slučaju je oko 2-3 %, kao što je prikazano na Slika 44, što je irelevantno za ljudsko oko.



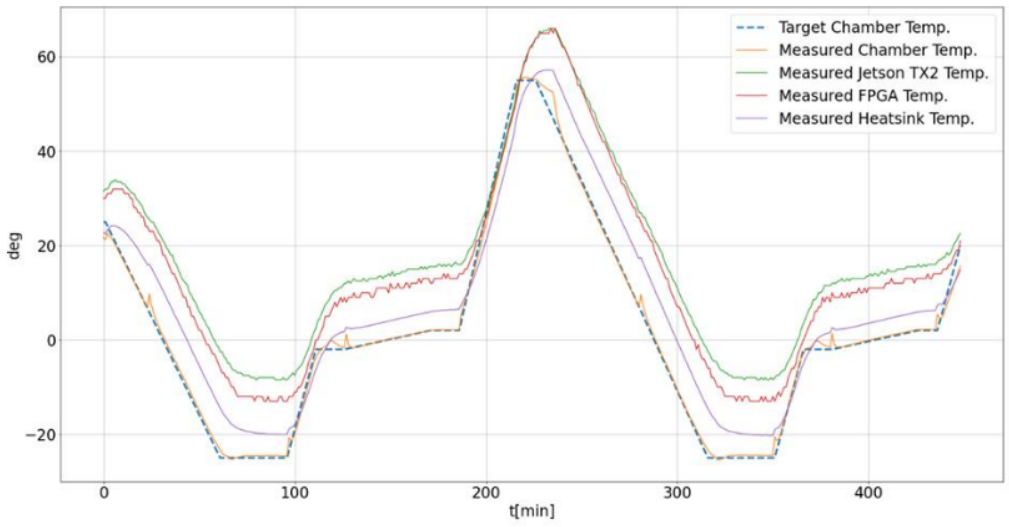
Slika 44. Vreme izvršavanja algoritama pri prenosu video signala VGA formata sa 60 frejmova po sekundi

VVSP modul je podvrgnut testiranju u različitim temperaturnim rasponima preko programabilne toplotne komore za cirkulaciju vazduha. Cilj ovog eksperimenta je bio da se ispita funkcionalnost razvijenog uređaja u temperaturnom opsegu od -20°C do +55°C i da se proveri ponašanje sistema u ekstremnim temperaturama. Vreme izlaganja VVSP modula ekstremnim temperaturama je od 25 do 40 minuta. Izlaganjem hardvera temperaturnom testu, posebna pažnja je posvećena promenama temperature od -2°C do 2°C, jer na toj temperaturnoj zoni kondenzacija može biti veliki faktor koji može da ošteti hardver, tako da se programira prelazni proces da traje duže. Merenje hladnjaka i temperature okoline se postiže pomoću kontaktnih temperaturnih senzora, dok merenje temperature FPGA modula i NVIDIA Jetson TX2 obavljaju njihovi unutrašnji temperaturni senzori.

Uzorci sa svakog senzora se dobijaju specijalno dizajniranom aplikacijom za prihvatanje podataka sa svakog senzora u isto vreme svakih 60 sekundi vremena i snimaju.

Grafikon na Slika 45 prikazuje rezultate ispitivanja temperaturnog profila u programabilnoj temperaturnoj vazdušnoj komori sa y-osom koja pokazuje temperaturu (u Celzijusovim

stepenima) i x-osom koja pokazuje vreme izlaganja određenoj temperaturi (u minutima). Narandžasta linija predstavlja temperaturu okoline, plava tačkasta je programirana ciljna temperatura vazdušne komore, zelena linija je za Jetson TKS2 modul koji emituje video u FullHD rezoluciji, crvena je temperatura FPGA modula i ljubičasta linija predstavlja temperaturu aluminijumskog nosača za pasivno hlađenje. Svi ovi rezultati su očekivani i svi testirani moduli nisu pokazali bilo kakvu degradaciju video toka ili izvršenja algoritama tokom temperaturnog testa. Temperature svih kritičnih komponenti su pratile temperaturu okoline i blago se zagrevaju iznad nje. FullHD rezolucija sa 30 frejmova u sekundi je izabrana za temperaturni stres test, pošto je to najviša moguća rezolucija koju VVSP može da obezbedi i zahteva više resursa za obradu i memoriju za korišćenje od ostalih podržanih rezolucija.



Slika 45. Temperaturni test VVSP modula

2.10. Rezime prednosti primene nove univezalne platforme u elektro-optičkim sistemima

Razvijena univerzalna platforma za obradu signala je testirana kroz primenu u savremenom elektro-optičkom sistemu VMSIS3. VMSIS3 je dizajniran da koristi karakteristike modularnosti VVSP modula primenom u distribuiranoj arhitekturi, čime se omogućava skalabilnost sistema. VVSP modul je dizajniran da ima dovoljno resursa za obradu video signala koji dolazi sa jedne kamere. Ukoliko se u sistem doda nova kamera, novi VVSP moduli se dodaju i povezuju kaskadno sa prethodnom, tako da nema preopterećenja. Primer distribuirane arhitekture sistema VMSIS3 prikazan je na Slika 9. Na ovaj način se vrši kompletna obrada video signala i primena odgovarajućih algoritama na jednom VVSP modulu koji je zajedno integrisan u kućište. sa kamerom sa koje prima video signal.

Tokom faze testiranja VVSP modula koji se koristi u sistemu VMSIS3, sa krova našeg Instituta su se vršila testiranja praćenja ciljeva na velikim udaljenostima. Slika 46 prikazuje performanse algoritma praćenja kada je komercijalni avion primećen na udaljenosti od 30 km i uspešno je praćen.



Slika 46. Dugo-dometno praćenje mete

Analiza doprinosa primene nove univerzalne platforme za obradu signala u elektro-optičkim sistemima dugog dometa u odnosu na tradicionalni pristup da se kamere postavljaju na pan-tilt pozicioner, prenošenja sirovog video signala i distancirane obrade u računaru van pokretnog dela pan-tilt pozicionera sumirane su u Tabela 4.

Tabela 4. Prednosti VVSP koncepta u odnosu na tradicionalni pristup

Zadatak	Tradicionalni pristup	vVSP Koncept	Doprinos
Video signal monitoring	Analogni PAL ili NTSC Digitalni (HD) SDI or CoaxPress	Digitalizovani H264	Lakše interfejsiranje ka komandno-kontrolnoj jedinici. Nema potrebe za dodatnim hardverom/softverom
Interfejsiranje sa kamerom	PAL/NTSC – jednostavno za implementaciju (HD)SDI / CoaxPress– jednostavno za implementaciju, ograničeni domet CameraLink or LVDS – komplikovano za implementaciju, potreban konverter na HD-SDI unosi kašnjenje I potencijalni problem promene formata	Jednostavna konekcija na bilo koji kamera interfejs upotrebom odgovarajuće interfejsne pločice. Ovo je veoma važno za termalne i SWIR kamere koje dominantno koriste CameraLink i LVDS za maksimalne performanse.	Interfejs ka bilo kojoj kameri jeste direktan bez ikakve promene rezolucije ili unošenja dodatnog kašnjenja.
Kontrola Pan Tilta	Preko Pelco-D, ONVIF ili sličnih protokola	Preko ONVIF protokola. Za kritične algoritme kao što je praćenje mete, pan tilt se kontroliše direktno preko VVSP platforme bez unošenja dodatnog kašnjenja.	VVSP koncept ima prednosti u aplikacijama koje se direktno izvršavaju na samom hardveru I mogućnošću kontrole baziranoj na veštačkoj inteligenciji
Komunikacija preko kliznog prstena Pan-tilt pozicionera	Ograničena na koaksijalni ili Ethernet interfejs, u suprotnom su neophodni konverteri kao i dodatni interfejsi za pan-tilt, LRF I kontrolu optike	Koristi se samo jedan Ethernet interfejs za video striming, kontrolu kamera, optike, LRF-a i pan-tilta	Redukcija neophodnosti kliznog prstena za pan tilt pozicioner.

Zadatak	Tradicionalni pristup	vVSP Koncept	Doprinos
Pasivno hlađenje	Neki procesorski moduli mogu zahtevati dodatno hlađenje	VVSP je kompletno baziran na pasivnom hlađenju	Efikasni sistem odvođenja toplote koji je testiran i u pustinjskim uslovima.
Rezolucije	Analog - Ograničeni na PAL ili NTSC. . Visoke rezolucije/dinamički opsezi nisu podržani. Digitalni interfejsi nemaju ograničenja	Full HD rezolucija i širok dinamički opseg su podržani, što je jako važno za žive slike sa termalnih kamera.	Mnogo bolji kvalitet slike
Kašnjenje	Minimalno kašnjenje pre hardverske eksterne kompresije.	Oko 300 ms. Treba napomenuti da se kritični algoritmi (npr. praćenje mete) direktno izvršavaju na VVSP modulu bez kašnjenja.	Ako je MSEOS integrisan u C2 sistem , nema uočljivih razlika
Praćenje mete	Izvršava se na eksternom hardveru koji kontroliše pan-tilt. Radi dobrih performansi, kontroler bi trebalo biti instaliran blizu MSEOS.	Izvršava se direktno na VVSP. Koristi punu rezoluciju i brzinu frejmova svih senzora. Bez unošenja dodatnog kašnjenja. Veoma kompaktno rešenje.	Znatna prednost u korist VVSP koncepta zbog direktnog pristupa svim senzorima.
Stabilizacija slike	Ograničena na algoritme obrade slike. Performanse dosta zavise od određene scene koja se snima.	Može da koristi različite metode, od algoritama obrade slike do IMU stabilizacije, kao I kombinacije više metoda.(e.g. IMU stabilization [11])	Mnogo više fleksibilnosti u odnosu na tradicionalni pristup.
Fuzija slike sa više kamera (npr. termalna i vidljiva)	Neophodno dodavanje eksternog hardvera. Potencijalne komplikacije prilikom sinhronizacije slika.	Dedikovani VVSP modul može da pokreće algoritme fuzije slike gde se ponaša kao “virtuelni video kanal“.	Veća fleksibilnost i jednostavnija kalibracija.
Prepoznavanje mete na bazi veštačke inteligencije	Javlja s potreba za digitalizacijom slike pre primene algoritama veštačke inteligencije. Ovakav koncept limitira rezoluciju, što se reflektuje na performanse rešenja baziranih na veštačkoj inteligenciji.	Puna rezolucija slike može biti korišćena za prepoznavanje mete zasnovane na algoritmima veštačke inteligencije. U slučaju nedostatka procesorskih resursa, paralelno se može dodati još VVSP modula.	Primetno veća fleksibilnost, naročito u slučajevima ako je detekcija mete takođe povezana i sa algoritmom praćenja koji zahteva pomeranje pan-tilt platforme u cilju zadržavanja praćenog objekta na sredini scene.
Poboljšanje slike	Bez mogućnosti	Jednostavna implementacija različitih algoritama poboljšanja slike.	Od posebnog značaja za scene dobijene Termalnom kamerom.
Laserski daljinome– LRF primena	Zahteva eksterne komande za merenje. Ciljana končanica je veoma teška za implementaciju sa kamerama sa	Jednostavna implementacija ciljane končanice čak i sa sistemima sa kontinualnim uveličanjem. [7]	Jednostavnija integracija rešenja u sistem. Dodatno, omogućava se implementacija kompleksnih aplikacija, kao na primer,

Zadatak	Tradicionalni pristup	vVSP Koncept	Doprinos
	kontinualnim uveličanjem.		zaključavanje mete za algoritam praćenja korišćenjem LRF tehnologije.
Ukupna dodatna težina pokretnog dela	Minimalno ili bez dodatne težine	Svaki VVSP modul dodaje oko 0,45 kg dodatne težine.	Ovo je zanemarljivo ukoliko se uzme u obzir da je težina kamera sa sve pratećom optikom mnogo veća.
Privatna mreža za Ethernet uređaje.	Zahteva se dodatni, upravljivi GbE svič.	Upravljivi GbE svič je već integrisan u VVSP modul.	Omogućava se VLAN konfiguracija, čime se postiže da važni uređaji koji su povezani na mrežu, budu nevidjivi za ostatak sveta.
Interfejsiranje ka komandno-kontrolnom centru (C2)	Zahteva uređaj za konverziju protokola za digitalizaciju videa i proširenje opsega.	Sve neophodne komponente za integraciju sa C2 sistemom se mogu dobiti putem jednog Ethernet porta.	Jednostavnije interfejsiranje ka komandno-kontrolnom centru (C2).
Skalabilnost sistema (mogućnost dodavanja novih kamera u sistem)	Sistem je limitiran na određeni broj kamera ili zahteva dodatni redizajn hardvera ili softvera ili oba.	U ovom slučaju, samo je potrebno dodati novi VVSP modul, po kameri.Modul je konektovan na ostatak sistema putem GbE mreže.	Pomenuti doprinos je omogućen inicijalnim konceptom distribuirane arhitekture sistema.

Dodatno, pokazano je da je moguće stvaranje okruženja za jednostavnu primenu i prihvatanje date platforme od strane više istraživačkih timova.

3. Mogućnosti primene realizovanog modula

Opisana VVSP platforma ima opštiju primenu nego za sisteme dugog dometa. Praktično svaki sistem sa više senzora može da koristi ovu platformu, posebno u primeni fuzije senzora kao što je integracija radara i više kamera za praćenje ciljeva [73]. Slično, aplikacija za autonomna vozila kao što je predstavljena u [74] može koristiti VVSP platformu bez značajnih modifikacija.

3.1. Primena platforme za prepoznavanje lica

Kao što je napomenuto u prethodnim poglavljima, uzimajući u obzir modularnost realizovanog sistema, uz blage modifikacije odgovarajućih štampanih ploča i eventualne zamene komponenti, moguće je prilagoditi platformu za upotrebu u različitim oblastima i aplikacijama. Jedan od većih izazova nadogranje sistema predstavlja i primena algoritama veštačke inteligencije koji zahtevaju visoku procesorku moć za njihovo izvršavanje. U tom cilju, sprovedeno je istraživanje o mogućnostima primene R-CNN algoritma veštačke inteligencije za detekciju i prepoznavanje lica na termalnoj slici.

U mnogim aplikacijama za sigurnost, nadzor ili kontrolu pristupa primenjuju se algoritmi za detekciju lica. U bezbednim objektima najvišeg nivoa, kao što su važne vladine zgrade, za kontrolu pristupa su implementirani sistemi za detekciju i prepoznavanje lica u cilju verifikacije identiteta korisnika [75], [76]. Ovi sistemi se takođe koriste u sigurnosnim kontrolnim punktovima na aerodromima i u procesima autentifikacije za sigurno bankarstvo. Ako su uslovi osvetljenja poremećeni, kao u slučaju magle ili jake kiše, performanse kolor kamere vidljivog svetla su degradirane i ne mogu pružiti dovoljan kvalitet u sistemima za nadzor sa visokim nivoom sigurnosti. Budući da performanse termalne kamere ne zavise od uslova osvetljenja, ona se može koristiti za poboljšanje performansi navedenih sistema [77], [78], [79], [80]. Osnovni princip rada infracrvenih senzora je da oni prikupljaju emitovanu

toplotnu energiju da formiraju termogram koristeći infracrveno zračenje. Kako su termalne kamere invarijantne u uslovima osvetljenja, one mogu da obezbede efikasan pregled čak i u uslovima slabog osvetljenja i potpunog mraka, i na taj način se mogu koristiti u aplikacijama za detekciju lica.

Detekcija lica, opšte, može se smatrati posebnom vrstom operacije koja rezultira otkrivanjem objekata u zadacima kompjuterske vizije. Štaviše, metode dubokog učenja se stalno razvijaju, posebno u aplikacijama kompjuterske vizije, dok su posebno konvolucione neuronske mreže (CNN) postigle izuzetan uspeh u pogledu tačnosti.

Dok popularnost dubokog učenja u kompjuterskoj viziji raste, veliki broj istraživača u ovoj oblasti ciljano istražituje metode dubokog učenja kako bi rešili zadatke detekcije lica.

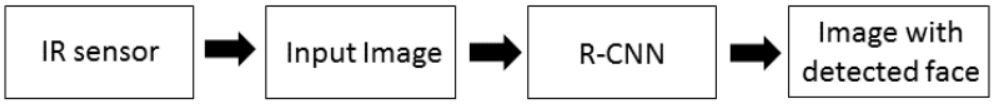
U procesu rešavanja izazova detekcije lica, pojavile su se neke uspešne tehnike dubokog učenja za generičke zadatke detekcije objekata. Jedan vrlo koristan i vrlo uspešan okvir za generičku detekciju objekata je CNN metoda (R-CNN). Veliki broj napretka u rešavanju zadataka detekcije lica obično prati ovu liniju istraživanja sa širenjem R-CNN-a i njegovih poboljšanih varijanti.

Cilj ovog istraživanja je pronaći efikasan način da se iskoriste prednosti termalnih kamera IR spektra i analizira uticaj različitih degradacija slike na performanse termalne detekcije lica u sistemima zasnovanim na metodama dubokog učenja. U ovom istraživanju se predlaže okruženje za testiranje performansi u različitim uslovima koje se sastoji od baza podataka sa slikama različitog stepena degradacije (okretanje, rotacija, šum) i implementacije sistema za detekciju lica termalne slike zasnovane na metodama dubokog učenja. Takođe, razmotriće se mogućnosti implementacije na Vlatacomovoj platformi za obradu video signala (VVSP) za korišćenje na terenu. VVSP je hardverski uređaj sposoban za snimanje i obradu video signala

sa različitih tipova kamera, pa se u ovom slučaju koristi IR termalna kamera. Budući da smo u početnoj fazi istraživanja u oblasti detekcije lica u termoviziji, ovo istraživanje predstavlja potencijalni pravac primene algoritma na VVSP platformi.

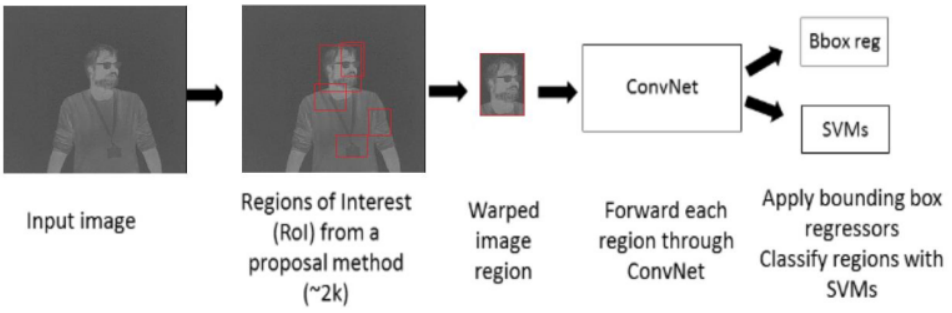
A. Algoritam za detekciju lica

Blok dijagram predloženog sistema za termičku detekciju lica je prikazan na Slika 47. Primenjeni algoritam je zasnovan na pristupu dubokog učenja pomoću R-CNN-a.



Slika 47. Blok dijagram predloženog sistema za detekciju lica R-CNN

Za detekciju regiona lica na slici u radu se koristi R-CNN detektor [81]. R-CNN ima tri glavna dela u procesu detekcije. U prvom delu izdvaja 2000 kategorija nezavisnih predloga regija i šalje ih drugom delu, a to je konvoluciona neuronska mreža (CNN). Izlaz CNN-a je vektor karakteristika fiksne veličine koji se koristi kao ulaz za klasifikator mašina za podršku vektorima (SVM) [82]. CNN ulazna veličina je fiksna slika 32x32, a izlaz je vektor koji se sastoji od 64 karakteristike. SVM koristi te karakteristike za klasifikaciju svake regije; rezultat te klasifikacije je ili klasa lica ili pozadina (klasa bez lica). Regije koje se preklapaju s drugim regijama sa stepenom preklapanja većim od datog praga, merenog metrikom rezultata Intersection over Union (IoU), se uklanjaju.



Slika 48. Arhitektura sistema na bazi R-CNN algoritma

Najvažniji deo R-CNN-a je CNN za ekstrakciju karakteristika. Uloga CNN-a je da svede slike u oblik koji je lakši za obradu, bez gubljenja karakteristika koje su ključne za dobijanje dobrog predviđanja. Prvi sloj CNN-a je Image Input Lejer, koji definiše dimenzije mrežnog ulaza. Sljedeći sloj je Srednji sloj i sastoji se od više konvolucijskih, ReLU i Max Pooling slojeva. Konvolucijski sloj se sastoji od više filtera (kernela) čiji se parametri uče tokom procesa obuke. Kernel se pomiče više puta preko slike i svaki put izvodi operaciju množenja matrice s delom slike koji lebdi i rezultat je mapa karakteristika. Svrha sloja ReLU je da uvede nelinearnost u CNN. Bez dodatne nelinearnosti, klasifikacija bi bila linearna i stoga bi performanse CNN-a bile ograničene. Objedinjavanje odeljaka slojeva bi smanjilo broj parametara kada je slika prevelika. Ovaj proces, koji se takođe naziva poduzorkovanje ili down-sampling, smanjuje dimenzionalnost svake mape karakteristika, ali zadržava važne informacije.

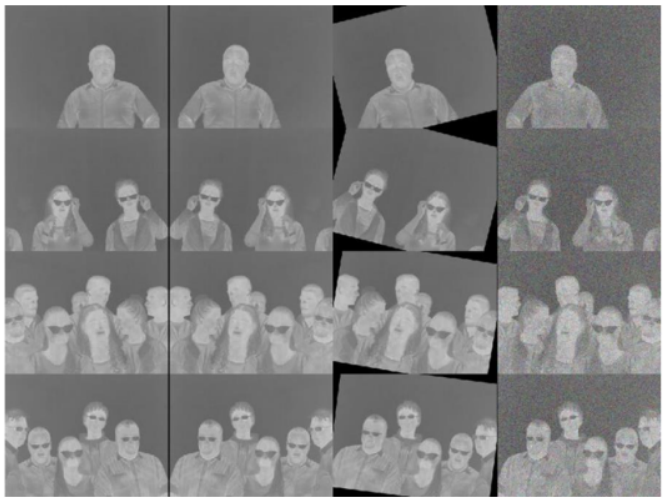
U završnom sloju nalaze se sloj Fully Connected i sloj Softmax Loss. Potpuno povezani sloj konvertuje matrični ulaz u vektor i prenosi ga na sledeći sloj. Predstavlja karakteristike koje se kasnije koriste za klasifikaciju. U ovom CNN-u ih nasleđuje Softmax sloj. Softmax sloj se koristi za izračunavanje distribucije kategoričke verovatnoće.

Pre treninga, težine konvolucionog sloja se prvo postavljaju na male nasumične vrednosti, a zatim se ažuriraju u procesu treninga koji koristi stohastičku metodu gradijentnog spuštanja SGDM (eng. *Gradient Descent with Momentum* - SGDM). Računanjem gradijenta funkcije gubitka i malim koracima u suprotnom smeru od gradijenta, naš gubitak će se postepeno smanjivati dok ne konvergira ka nekim lokalnim minimumima.

A. BAZA SLIKE LICA

Baza slika napravljena je sa Vlatacom Multi-Sensor Imaging System (VMSIS) [83]. Baza podataka sadrži ukupno 287 slika rezolucije 640x480 piksela. Svaka slika u bazi ima različit broj osoba sa različitim položajima lica, izrazima i orijentacijama, snimljenih u različitim uslovima osvetljenja. Pošto je IR neproziran za staklo koje skriva sve iza sebe, baza podataka ima i slike sa osobama koje nose naočare.

Da bi se testirao uticaj različitih tipova degradacije slike na performanse detekcije, veštački se kreiraju dodatni skupovi podataka. Ukupno postoje četiri skupa podataka, prvi je originalni i tri veštačka. Drugi skup podataka sadrži slike sa AGN, sa standardnom devijacijom u rasponu od 2 do 40, sa pragom odabranim prema [84]. Treći skup podataka sadrži slike rotirane za ugao u rasponu od -20 do 20 stepeni. Poslednji set podataka je napravljen od originalnog i onih sa deformisanim slikama opisanim gore. Skupovi podataka su prikazani na Slika 49.

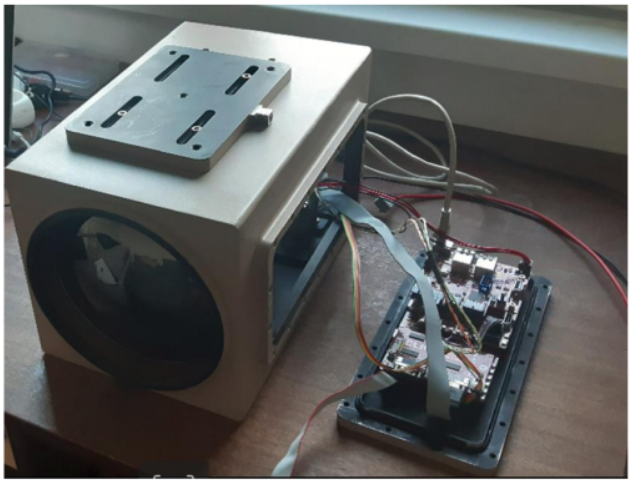


Slika 49. Skup podataka termičke slike sa originalnim, preokrenutim, rotiranim slikama sa smetnjama

Za merenje performansi sistema kreiraju se dva skupa testnih podataka. Prvi testni podskup sadrži 60 slika iz originalnog skupa podataka, a drugi testni podskup sadrži 36 slika iz četvrtog skupa podataka. Ostale slike se koriste za trening setove.

B. EKSPERIMENTALNI RAD

Postavljanje testa za opisani problem prikazano je na Slika 50.



Slika 50. vVSP modul sa termalnom infracrvenom kamerom

Jedan od glavnih akcenata bio je istraživanje mogućnosti implementacije algoritma za detekciju lica na VVSP modulu i testiranje u scenariju u realnom vremenu. Na gornjoj slici je prikazana VVSP hardverska platforma povezana sa termalnom kamerom preko Camera Link interfejsne ploče. Kamera koja se koristi u ovom slučaju je nehlađena termalna kamera rezolucije 640x480 piksela [85] sa Camera Link interfejsom i 225 mm optikom [86], dometa do 8 km za detekciju ljudi [7].

Za R-CNN obuku se koristi MATLAB R2020a. CNN je prvi put obučen za klasifikaciju na skupu podataka CIFAR-10 [87]. Skup podataka ima 50000 vidljivih slika raspoređenih u 10 klasa (avion, ptica, automobil, mačka, jelen, pas, žaba, konj, brod i kamion) i rezoluciju slike od 32x32 piksela. Nakon završetka obuke CNN je naučio vrednosti filtera koje su korisne za ekstrakciju karakteristika u vidljivim slikama. Za obuku R-CNN-a implementirano je transferno učenje; CNN obučen na CIFAR-10 skupu podataka je fino podešen u R-CNN procesu obuke [88]. Mreža se obučava sa mini serijama veličine 64 i traje 250 epoha. Ažuriranje težina se vrši nakon što sve slike iz mini serije prođu kroz mrežu. Pošto se R-CNN koristi za detekciju, potrebni su nam pozitivni i negativni regioni sa slika koje se koriste u treningu. Pozitivni i negativni uzorci definisani su IoU metrikom graničnog okvira. Ako se regija slike preklapa sa bazičnim graničnim okvirima u pozitivnom rasponu preklapanja, tada se ta regija koristi kao pozitivan uzorak; ako se preklapa u negativnom rasponu onda se ta regija definiše kao negativan uzorak. Pozitivni raspon preklapanja je postavljen na između 0,8 i 1, dok je raspon negativnog preklapanja manji od 0,5.

Svaki od prethodno opisanih skupova obuke se koristi u obuci R-CNN-a, tako da postoje ukupno 4 R-CNN-a.

Performanse detekcije u ovom istraživanju predstavljene su sledećim metrikama evaluacije: (istinsko pozitivno), (lažno negativno), (lažno pozitivno). Broj uspešno otkrivenih lica je prava pozitivna vrednost; broj lica koja postoje na slici, ali nisu otkrivena je lažno negativan; broj regiona koje R-CNN označava kao region lica, ali ne sadrže lice u sebi naziva se lažno pozitivnim.

U Tabela 5 prikazane su vrednosti za četiri različita R-CNN-a obučena na različitim skupovima podataka i testirana na dva testna skupa podataka.

Tabela 5. TP, FN I FP vrednosti R-CNN-a trenirani na setovima za trening sa originalnim i deformisanim slikama

Trening Skup	**Testni skup sa originalnim slikama**			**Testni skup sa izvrnutim, rotiranim i slikama sa AGN**		
	tp	**fp**	**fn**	**tp**	**fp**	**fn**
Originalne slike	183	11	19	109	18	15
Originalne, izvrnute i slike sa AGN	175	19	27	111	16	13
Originalne, izvrnute i rotirane slike	174	15	28	110	17	14
Originalne, izvrnute, rotirane i slike sa AGN	177	15	25	111	20	13

Na osnovu rezultata iz Tabela 5 može se izračunati preciznost i opoziv. Preciznost je broj ispravno otkrivenih lica podeljen ukupnim brojem regija R-CNN označenih kao regija lica na slikama ($p = t_p / (t_p + f_p)$). Opoziv je broj ispravno otkrivenih lica podeljen s ukupnim brojem lica na slikama ($r = t_p / (t_p + f_n)$). Visoka preciznost znači da je većina regiona koje R-CNN označava kao region lica zapravo region lica, dok visok nivo pamćenja znači da je većina regiona koji su

lica na slikama R-CNN označena kao regioni lica. Vrednosti preciznosti i opoziva prikazane su u Tabela 6.

Tabela 6. Vrednosti preciznosti i upoznavanja R-CNN-a obučenog na setovima za trening sa originalnim i deformisanim slikama

Trening Skup	**Testni skup sa originalnim slikama**		**Testni skup sa izvrnutim, rotiranim i slikama sa AGN**	
	Preciznost	**Opoziv**	**Preciznost**	**Opoziv**
Originalne slike	94,33	90,59	85,83	87,9
Originalne, izvrnute i slike sa AGN	90,21	86,63	87,4	89,52
Originalne, izvrnute i rotirane slike	92,06	86,14	86,61	88,71
Originalne, izvrnute, rotirane i slike sa AGN	92,19	87,62	84,73	89,52

Za prvi skup testova koji ima samo originalne slike najbolje rezultate postiže R-CNN obučen samo na originalnim slikama. U praksi, međutim, infracrveni senzori često pate od raznih smetnji - zamućenja, šuma koji potiče od senzora i njihovog okruženja i mrtvih piksela senzora. Moglo bi se desiti i da lica budu u različitim orijentacijama i pozama. Iz tih razloga, rezultati na drugom skupu podataka testa su od veće važnosti. Na drugom skupu podataka testa, najbolje rezultate postiže R-CNN obučen na originalnim, preokrenutim i slikama sa AGN.

Iz tih rezultata se zaključuje da ako se žele bolje performanse detekcije na slikama sa različitim tipovima degradacija, tada skup podataka za obuku treba da ima slike sa degradacijom (šumne slike sa nižim vrednostima standardne devijacije AGN) pored originalnih slika.

Izvršavanje R-CNN algoritma je u potpunosti testirano na Nvidia RTX 2060. Pošto još nije razvijeno prilagođenje R-CNN za Jetson TX2, uporedili smo izvršenje drugog algoritma za detekciju objekata na obe platforme. U tu svrhu smo izmerili brzinu izvršavanja Yolov3 algoritma [89] na obe platforme, RTX 2060 i Jetson TX2, koristeći web kameru. Za ovaj algoritam imamo 30fps na RTX-u i 3.1~3.3fps na Jetson TX2. Na osnovu toga smo zaključili da je Jetson TX2 oko 10 puta sporiji od RTX 2060, i tu pretpostavku koristimo za Jetson performanse na R-CNN-u.

Računske performanse R-CNN algoritma detekcije prikazane su na Slika 51.



Slika 51. Prosečno vreme potrebno za otkrivanje svih lica prema broju lica otkrivenih na slici. Testirano na RTX 2060

R-CNN algoritam treba više vremena za detekciju na slikama sa više lica jer treba da izvrši regresiju graničnog okvira za više regiona nego što bi to uradio na slikama sa manje lica na njima. Ako je na slici otkriveno samo jedno lice, možemo očekivati 1s na Jetson TX2, ali vidimo da ako ima više lica potrebno je više vremena.

U ovom istraživanju su prikazane performanse termalne detekcije lica u realnom operativnom scenariju, uključujući različite uticaje na degradaciju slike.

Prednost u performansama u detekciji lica u odnosu na standardne senzore slabog osvetljenja postiže se uključivanjem termalnog IR senzora i demonstrirana je i pokazuje odlične performanse detekcije na slikama snimljenim u različitim uslovima osvetljenja uključujući potpuni mrak.

Odlične performanse detekcije na slikama snimljenim u različitim uslovima osvetljenja postižu se čak i kada su slike degradirane. Robusnost se postiže uključivanjem slika sa različitim tipovima deformacija u set za obuku; uključivanjem tih slika u set za obuku dobijamo lošije rezultate na nedegradiranim slikama, ali bolje rezultate na degradiranim slikama koje su češće u praksi.

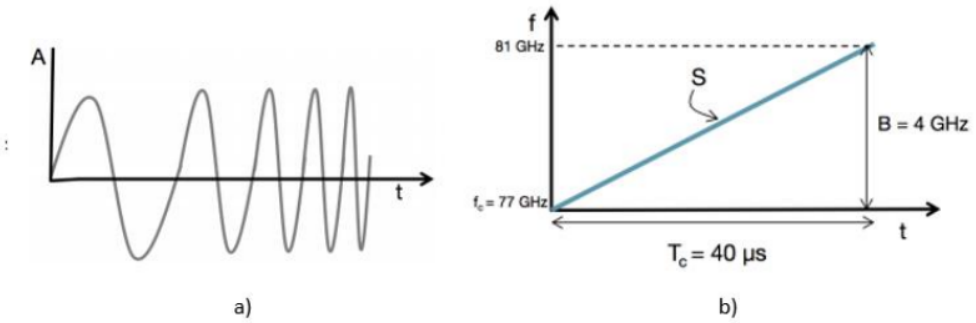
U smislu poboljšanja performansi detekcije R-CNN-a i otpornosti na degradaciju slike koja je u osnovi uzrokovana šumom i rotacijom, pokazano je da skupovi podataka za obuku trebaju uključivati slike s različitim tipovima deformacija.

Jedan veliki problem R-CNN detekcije lica je vreme obrade. Ova metoda se ne može koristiti za aplikacije u realnom vremenu. Kao što je predstavljeno u literaturi, najsavremenije metode za detekciju objekata zasnovane na pristupu dubokog učenja kao što su brži R-CNN i YOLO algoritam, koji može postići istu tačnost detekcije kao R-CNN sa mnogo kraćim vremenom obrade po kadru , može biti uključen u sisteme za detekciju lica i može se implementirati na VVSP platformi. Budući rad u ovoj oblasti istraživanja biće orijentisan na ove metode dubokog učenja i njihovu stvarnu primenu korišćenjem VVSP sa termalnom IR kamerom.

3.2. Primena platforme za FMCW milimetarske radare

FMCW radar (*eng. Frequency Modulated Continuous Wave*) je vrsta radara koji emituje frekvencijski modulisani sinusni talas koji se naziva čirp signal (*eng. Chirp – "cvrkut"*). To je sinusoida čija frekvencija raste linearno sa vremenom, kao što je prikazano na Slika 52. Čirp

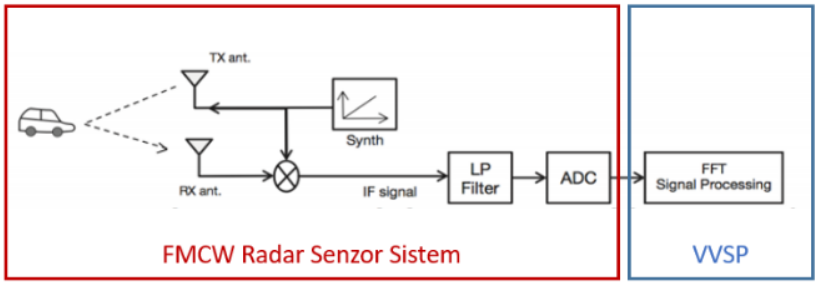
se karakteriše početnom frekvencijom (fc), propusnim opsegom (B), trajanjem (Tc) i nagibom frekvencije (S).



Slika 52. Čirp signal -a) Promena amplitude tokom vremena, b) Promena frekvencije tokom vremena

FMCW radari se najčešće primenjuju u automobilskoj industriji za pomoć na putu vozačima (ADAS), modernoj saobraćajnoj infrastrukturi, meteorološkim sistemima za praćenje kretanja I veličine oblaka [90], vojnoj industriji za navođenu municiju [91], medicini za pracenje disanja I otkucaja srca pacijenata [92], itd.

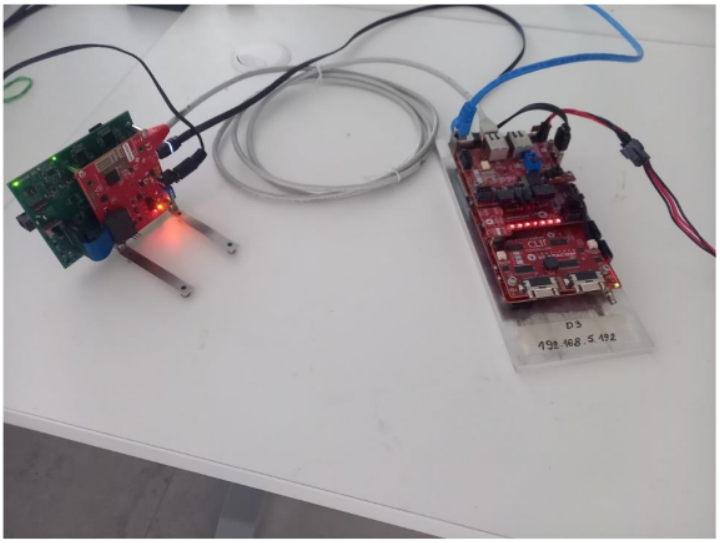
Za potrebe istraživanja mogućnosti integracije FMCW radarske tehnologije sa VVSP univerzalnom platformom, odabran je senzor AWR1243boost [93]. Blok šema pomenutog sezora data je na Slika 53.



Slika 53. Blok šema integracije FMCW senzora i VVSP platforme

Delovi razvojne ploče senzora koji se koriste u ovom istraživanju su predajni niz koga čine 3 predajne antene, prijemni niz koga čine 4 prijemne antene, sintetizator takta, frekvencijski množač, filtar propusnik niskih učestanosti i 16-bitni A/D konvertor sa brzinom odabiranja od 10MS/s. Senzor je povezan na VVSP modul preko Ethernet interfejsa (1Gb/s) putem kojeg se sakupljaju podaci sa A/D konvertora, kao i USB serijskom vezom, preko koje se konfiguriše senzor, odnosno putem kojeg se zadaju parametri čirp signala.

Na VVSP modulu su, u programskom jeziku Python implementirane funkcije obrade rezultantnog radraskog signala koje uključuju jednodimenzione i dvodimenzione brze Furijeove transformacije, putem kojih odredjuemo distancu od mete, kao i brzinu kojom se meta kreće. Primer povezivanja pomenutog senzora na VVSP platformu je dat na Slika 54.



Slika 54. Integracija FMCW senzora AWR1243BOOST sa VVSP platformom

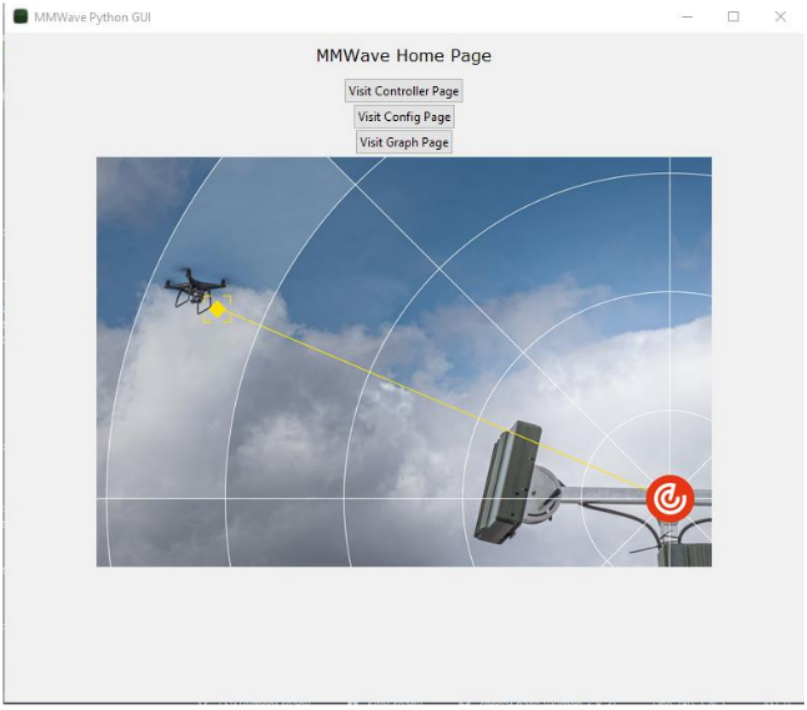
Od proizvožača senzora (Texas Instruments) je preuzet i modifikovan primer C aplikacije koja radi pod Linux operativnim sistemom (na NVIDIA TX2) tako da prihvata konfiguracione parametre za senzor iz tekstualnog fajla, konfiguriše senzor i ostane u beskonacnoj petlji gde

čeka na signal od strane Python grafičkog interfejsa da započne emitovanje čirpova i da snimljene podatke sa A/D konvertora prosledi direktno na UDP stream preko Ethernet porta.

Grafički interfejs je kreiran i organizovan tako da se sastoji od četiri stranice:

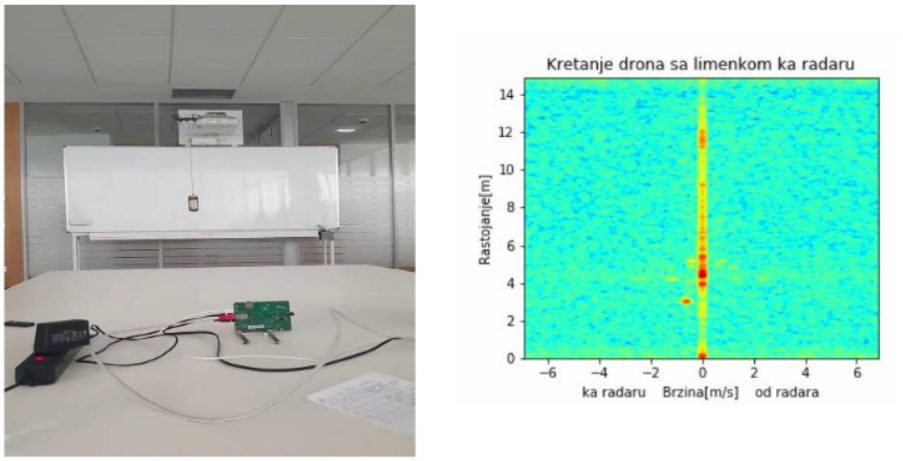
- Glavne stranice (Home Page)
- Stranice za startovanje senzora (Controller Page)
- Konfiguracione stranice (Config Page)
- Stranice za prikaz grafikona (Graph Page)

Glavna stranica (Slika 55) je pocetna stranica kada se pokrene Python program. Sa nje imamo navigaciju ka stranici za konfiguraciju, kontrolu i crtanje grafika.



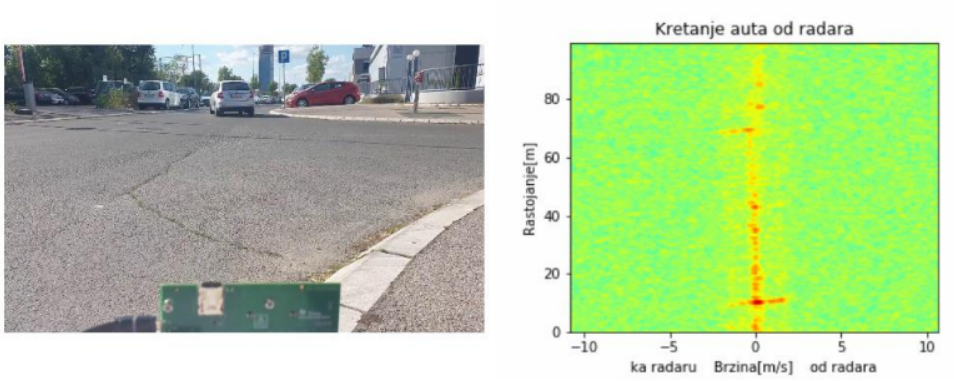
Slika 55. Glavna stranica korisničke aplikacije za evaluaciju FMCW radara

Radi ispravnog korišćenja korisničke aplikacije za evaluaciju FMCW radara, potrebno je prvo, sa glavne stranice otici na konfiguracionu stranicu gde se unose parametri emitovanog signala, u zavisnosti od aplikacije za koju se senzor koristi. Korisnik može da podesi parametre emitovanog signala (početna frekvencija, nagib strmine, paramtre A/D konvertora, itd..), startuje senzor i na stranici za iscrtavanje grafika uživo prati grafikone dobijene analize. Na Slika 56. prikazana je postavka i rezultati merenja eksperimenta gde je pomenuti radar povezan sa vVSP platformom i osmatra okolinu unutar laboratorije. Na dron je zakačena metalna limenka i na grafikonu se uživo posmatraju rezultati. Na slici je prikazana detekcija mete u momentu kada je rastojanje od mete 3m, brzina detektovanog objekta 1m/s i smer kretanja ka senzoru.



Slika 56. Postavka i rezultat laboratorijskog eksperimenta praćenja pokretne mete preko FMCW radara i vVSP platforme

Nakon laboratorijskih testova izvršena su i testiranja u realnim uslovima prilikom praćenja automobila na manjoj raskrsnici. Na Slika 57 je prikazan jedan slučaj takvog testiranja.



Slika 57. Postavka i rezultat eksperimenta praćenja pokretne mete preko FMCW radara i vVSP platforme vršenog na terenu

Na osnovu prikazanih eksperimenata i rezultata implementacije algoritama i jednostavne integracije FMCW senzora sa VVSP platformom, dolazi se do zaključka da je platforma sposobna da na vrlo jdnostavan način prihvati, obradi i distribuira podatke sa pomenutog tipa senzora. Takođe, na osnovu ranije pomenutih računarskih resursa, može se proceniti da jedna VVSP platforma ima mogućnost da istovremeno obradi i distribuira podatke sa više ovakvih senzora, što bi moglo da rezultira velikom primenom u realizaciji čitavih mreža FMCW senzora, te da se na taj način vrši obezbeđivanje kritičnih civilnih ili vojnih objekata velikih površina.

4. Pravci daljeg rada

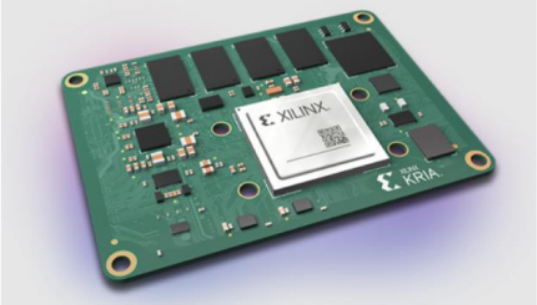
Budući rad uključuje dalji razvoj i implementaciju algoritama veštačke inteligencije i više hardverskih i softverskih modifikacija kako bi ceo sistem bio još manji po veličini i moćniji u pogledu resursa obrade. S obzirom na to da je razvoj VVSP modula započeo 2017. godine, većina komponenti korišćenih za realizaciju projekta bila je i još uvek je veoma pouzdana i dobro zastupljena na tržištu elektronike. Najkritičnija komponenta je glavni procesor Jetson TX2, pošto se predviđa da će njegov životni ciklus završiti u januaru 2025. godine [94]. Tokom

ovog projekta usvojeno je mnogo znanja u vezi sa FPGA tehnologijom i Linux operativnim sistemom koji koristi GPU jezgra, tako da se migracija na novije i moćnije module za obradu signala može izvršiti uz male modifikacije postojećeg sistema. Jedan od mogućih razloga za prelazak na noviji dizajn, pored veće procesorske snage, je još veća minijaturizacija koja se sada može postići korišćenjem Sistema na čipu sa FPGA i glavnim aplikativnim procesorom upakovanim u isti čip. Takođe, brzo evoluirajući algoritmi veštačke inteligencije mogli bi da se implementiraju na VVSP modulu kao jedna od budućih nadogradnji sistema, ali to bi takođe zahtevalo nadogradnju na hardversku platformu koja ima više resursa za obradu podataka od Jetson TX2. Jedan od mogućih kandidata za zamenu kako postojećeg glavnog procesora, tako i FPGA jedinice jeste Xilinx Kria K26 System-on-Module [95] u kojem su integrisani i višejezgarni procesor i FPGA jedinica obrade, što bi značajno omogućilo minijaturizaciju samog sistema za obradu signala a i dodatno povećalo procesorsku moć, s obzirom da je pomenuti modul razvijen za upotrebe u primeni algoritama veštačke inteligencije u obradi video signala. Tehničke specifikacije ovog modula su date u Tabela 7, dok je fizički izgled modula prikazan na Slika 58.

Tabela 7. Tehničke specifikacije K26 sistema na modulu

Oblast od interesa	Parametar	K26
Form Faktor	Dimenzije	77mm x 60mm x [illegible]mm
Procesorske jedinice i poboljšanja	Aplikativni procesor	Quad-core Arm® Cortex®-A53 MPCore™ up to [illegible]5GHz
	Procesor za obradu u realnom vremenu	Dual-core Arm Cortex-R5F MPCore up to 600MHz
	GPU	Mali™-400 MP2 up to 667MHz
	Video Kodek jedinica	1 - do 32 strima (ukupne rezolucije ≤ 4Kp60)
	Modul pouzdane platforme	Infineon 2.0

Oblast od interesa	Parametar	K26
Memorija	Na čipu	26.6Mb On-Chip SRAM
	Na SOM-u	4GB 64-bit DDR4 (non-ECC) and 16GB eMMC
Komunikacija	Brzi interfejsi	PCIe® Gen2 x4, 2x USB3.0, SATA 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet
	Opšti interfejsi	2xUSB 2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO
Programabilna logika	Sistemske logičke ćelije	256K
	DSP slajsevi	1,248
Brzina i Temperaturni opseg	Komercijalni	-2, 0 do 85°C
	Industrijski	-2, –40 to 100°C



Slika 58. Xilinx Kria K26 Sistem na Modulu

Daljom minijaturizacijom VVSP modula, redizajnom hardvera i implementacijom savremenih algoritama veštačke inteligencije, postalo bi moguće montirati ovako jedan moćan procesorski sistem na laka izviđačka I borbena vozila kao što su dronovi.

5. Zaključak

Opisana nova metodologija za dizajn univerzalne platforme u odnosu na univerzalne računare sa odgovarajućim interfejsnim karticama ima značajanu prednost u pogledu brzine razvoja aplikacija za suštinski različite sisteme kao što su multi-senzorski elektro optički sistemi,

radarski sistemi ili ADAS sistemi. Praktičan primer implementacije nove tehnologije je vlatacomova platforma za obradu signala – VVSP. Ona je praktično primenjena kao kompletno hardversko i softversko rešenja za snimanje i obradu podataka slike i senzora posebno prilagođenih za aplikacije dugog dometa, koje je nastalo, i dalje se razvija primenom opisane metodologije. Razvijena platforma se pored glavne uloge može koristiti i za razne druge aplikacije koje zahtevaju obradu podataka sa više različitih senzora. Najveća prednost opisanog modula je distribuirana softverska, hardverska i mrežna arhitektura koja čini sistem potpuno modularnim i prilagodljivim za prihvatanje bilo koje vrste senzora sa malim modifikacijama bilo hardvera ili softvera ili oba. Takođe, jedna od ključnih prednosti opisanog modula je njegova veličina koja čini hardversku strukturu lakom za pakovanje u različite tipove kućišta i može se koristiti kao opšta platforma za obradu signala u različitim scenarijima i aplikacijama.

Glavni cilj kada je projekat započeo bio je da se razvije jedinstvena platforma za obradu video signala koja može da prihvati video ulaz sa bilo koje kamere sa standardnim industrijskim interfejsom, da obradi signal i emituje ga preko IP-a. Posebna pažnja je bila usmerena na veličinu, težinu i performanse takve platforme. Svi primarni ciljevi se postižu razvojem VVSP, platforme koja se lako može instalirati uz kameru u kućište VMSIS3 sistema. U ovom radu je detaljno opisan ceo radni tok projekta sa posebnom pažnjom na hardversku arhitekturu koja uključuje projektovanje komplikovanih PCB ploča kao nosivih ploča za komponente za obradu signala, razvoj algoritama i njihovu primenu na tim komponentama, celokupni tok signala, softverska organizacija u glavnom aplikativnom procesoru, topologija mreže i integracija razvijene platforme u kompletan zatvoreni sistem za upotrebu u aplikacijama za kontrolu granica i vojnog nadzora. Bilo je mnogo izazova koje je trebalo prevazići tokom faze razvoja projekta. Jedna od najtežih i najzahtevnijih bila je implementacija trostrukog baferovanja i

manipulacije memorijom FPGA modula za obradu, kao i razvoj i integracija algoritama za obradu videa na glavnom aplikativnom procesoru i organizovanje celokupnog softvera na njemu, pošto većinu senzora i aktuatora pored videa kontroliše glavni procesor.

VMSIS3 sistemi sa VVSP modulima imaju više od 3 godine uspešnog rada na terenu u različitim ambijentalnim uslovima. Sistemi se koriste u aplikacijama kontrole granica i nadzora terena u pustinjskim, pomorskim i kontinentalnim klimatskim vremenskim uslovima kao stacionarne jedinice kao i mobilne jedinice postavljene na oklopna vozila. Sistemi nisu pokazali nikakvu degradaciju performansi u opsegu temperatura okoline od -25°C do +55°C [96]. Na osnovu ovog iskustva sumiran je doprinos koncepta VVSP u odnosu na tradicionalni pristup rešavanja pomenutih izazova koji je detaljno opisan u tabeli 1. U pogledu same integracije, postignuta je jednostavnija konekcija na bilo koji interfejs kamere, što se postiže samom promenom interfejsne ploče, što rezultuje direktnim pristupom kameri bez ikakve promene rezolucije ili unošenja dodatnog kašnjenja. U pogledu komunikacije, integracijom upravljivog GbE sviča i planiranjem mrežne topologije, omogućeno je jednostavno i bezbedno korišćenje i upravljanje VVSP modulima putem jednog GbE Eternet porta. Dodatno, omogućava se VLAN konfiguracija, čime se postiže da važni uređaji koji su povezani na mrežu, budu nevidjivi za ostatak sveta. Po pitanju implementacije i brzine izvršavanja algoritama dobija se na prednosti samim tim što se svi algoritmi izvršavaju direktno na VVSP modulu koji je instaliran neposredno uz senzore i koji na raspolaganju ima integrisanu IMU jedinicu, te se algoritam stabilizacije može izvršavati kombinacijom obrade slike i podataka dobijenih sa IMU senzora. Takođe, podržani su Full HD rezolucija i širok dinamički opseg, što je jako važno za žive slike sa termalnih kamera.

Kroz primere primene iste platforme za obradu signala za prepoznavalje lica termalnom kamerom i realizaciju radara u milimetarskom talasnom opsegu pogodnog za ADAS sisteme dokazana je univerzalnost platforme. Od posebnog značaja je što su obe aplikacije razvijene u standardnim programskim jezicima C i Python, čime je dokazana jednostavnost prihvatanja platforme od strane šireg kruga programera, koji se mogu fokusirati na razvoj algoritama, a ne na programiranje u vrlo specifičnim operativnim sistemima, što bi zahtevala upotreba univerzalnih računara sa odgovarajućim interfejsnim karticama.

Od posebnog značaja je mogućnost jednostavne mehaničke integracije univerzalne platforme u kompletne sisteme primenom pasivnih distributora toplote koji se prikupljaju energiju sa FPGA, mikrokontrolera i GPU i distribuiraju ka okolini. Time je postignut cilj efikasnosti implementacije elektro-optičkih, radarskih i ADAS sistema definisanih dimenzija i mase.

Konačno prikaz pravaca daljeg razvoja pokazuje da opisana metodologija univerzalna i da omogućava jednostavno produženje životnog veka kompletnog sistema, zamenom samo zastarelih hardverskih komponenti uz zadržavanje kompletnog koncepta sistema.

6. Literatura

[1] Vision4ce, “Vision4ce Products,” 2020. https://vision4ce.net/31_product-details-CHARM-100.html (accessed Oct. 11, 2021).

[2] H. Aghajan and A. Cavallaro, *Multi-Camera Networks: Principles and Application*. Academic Press, 2009.

[3] M. Szustakowski *et al.*, “Ultra long range surveillance camera for critical infrastructure protection research range,” *https://doi.org/10.1117/12.2028722*, vol. 8901, pp. 207–213,

Oct. 2013, doi: 10.1117/12.2028722.

[4] T. Kuroda, *Essential principles of image sensors*, 1st ed. CRC Press, 2017.

[5] B. L. Dragana Peric, "'Analysis of SWIR Imagers Application in Electro-Optical Systems,'" 2017, [Online]. Available: https://www.etran.rs/common/pages/proceedings/IcETRAN2017/EKI/IcETRAN2017_paper_EKI3_2.pdf.

[6] H. Budzier and G. Gerlach, "Thermal Infrared Sensors: Theory, Optimisation and Practice," *Therm. Infrared Sensors Theory, Optim. Pract.*, Jan. 2011, doi: 10.1002/9780470976913.

[7] D. Perić, B. Livada, M. Perić, and S. Vujić, "Thermal Imager Range: Predictions, Expectations, and Reality," *Sensors*, vol. 19, no. 15, 2019, doi: 10.3390/s19153313.

[8] N. Mansharamani, *Laser Ranging Techniques*. BookSurge Publishing, 2008.

[9] B. Göhler and P. Lutzmann, "Review on short-wavelength infrared laser gated-viewing at Fraunhofer IOSB," *https://doi.org/10.1117/1.OE.56.3.031203*, vol. 56, no. 3, p. 031203, Sep. 2016, doi: 10.1117/1.OE.56.3.031203.

[10] "Slip Rings & Rotary Unions - 360°Rotary Solutions - MOFLON." https://www.moflon.com/ (accessed Dec. 06, 2021).

[11] P. D. Milanović, I. V Popadić, and B. D. Kovačević, "Gyroscope-Based Video Stabilization for Electro-Optical Long-Range Surveillance Systems," *Sensors* , vol. 21, no. 18. 2021, doi: 10.3390/s21186219.

[12] M. Stojanovic, N. Vlahovic, M. Stankovic, and S. Stankovic, "Object tracking in thermal imaging using kemelized correlation filters," 2018, doi: 10.1109/INFOTEH.2018.8345549.

[13] B. Stojanovic, S. Puzovic, N. Vlahovic, R. Petrovic, and S. Stankovic, "Real-Time Multi-Sensor Infrared Imagery Enhancement," 2018, doi: 10.1109/NEUREL.2018.8587023.

[14] X. Wang, “Intelligent multi-camera video surveillance: A review,” *Pattern Recognit. Lett.*, vol. 34, no. 1, 2013, doi: 10.1016/j.patrec.2012.07.005.

[15] SightLine, “Homepage - SightLine Applications,” 2020. https://sightlineapplications.com/ (accessed Dec. 21, 2021).

[16] C. Desmouliers, E. Oruklu, S. Aslan, J. Saniie, and F. M. Vallina, “Image and video processing platform for field programmable gate arrays using a high-level synthesis,” *IET Comput. Digit. Tech.*, vol. 6, no. 6, pp. 414–425, 2012, doi: 10.1049/iet-cdt.2011.0156.

[17] N. Latinović, I. Popadić, P. Milanović, M. Perić, and M. Veinović, “Multisensor Imaging System Video Interface Implementation in FPGA,” 2019.

[18] I. Popadić, M. Perić, B. Tomić, A. Simić, and P. Milanović, “High-end video processing platform for electro-optical systems,” in *Proceedings of the 9th International Scientific Conference on Defensive Technologies, Belgrade*, 2020, pp. 297–303.

[19] V. C. Chen, *The Micro-doppler effect in radar*. Artech House, 2011.

[20] M. I. Skolnik, *Radar handbook*, 2nd editio. McGraw-Hill Companies, 1970.

[21] S. Jacobs, “Engineering Information Security: The Application of Systems Engineering Concepts to Achieve Information Assurance,” *Eng. Inf. Secur. Appl. Syst. Eng. Concepts to Achieve Inf. Assur.*, Oct. 2011, doi: 10.1002/9780470947913.

[22] M. Stamp, *Information security : principles and practice*, 2nd ed. Wiley, 2011.

[23] E. Barker and Q. Dang, “NIST SP 800-57 Part 3 Rev. 1, Recommendation for Key Management, Part 3: Application-Specific Key Management Guidance,” doi: 10.6028/NIST.SP.800-57pt3r1.

[24] “Cryptographic Algorithm Validation Program | CSRC.” https://csrc.nist.gov/projects/cryptographic-algorithm-validation-program/digital-signatures (accessed Feb. 23, 2022).

[25] Z. Banjac, V. Orlic, M. Peric, and S. Milicevic, “Securing data on fiber optic transmission lines,” *2012 20th Telecommun. Forum, TELFOR 2012 - Proc.*, pp. 935–938, 2012, doi: 10.1109/TELFOR.2012.6419362.

[26] S. TSUGAWA, “TRENDS AND ISSUES IN SAFE DRIVER ASSISTANCE SYSTEMS,” *IATSS Res.*, vol. 30, no. 2, pp. 6–18, 2006, doi: 10.1016/S0386-1112(14)60165-5.

[27] P. W. J. and H. Z. Anders Lindgren , Fang Chen, “Requirements for the Design of Advanced Driver Assistance Systems – The Differences between Swedish and Chinese Drivers,” *Int. J. Des.*, vol. 2, pp. 41–54, 2008, Accessed: Aug. 10, 2022. [Online]. Available: http://www.ijdesign.org/index.php/IJDesign/article/view/354/165.

[28] “SAE International and J3016: Taxonomy and Definitions for Terms Related to Driving Automation Systems for On-Road Motor Vehicles - SAE International.” https://www.sae.org/standards/content/j3016_202104/ (accessed Aug. 10, 2022).

[29] A. Lindgren and F. Chen, “State of the Art Analysis: An Overview of Advanced Driver Assistance Systems (ADAS) and Possible Human Factors Issues | Semantic Scholar,” in *Swedish Human Factors Network Conference*, 2007, pp. 38–50, Accessed: Aug. 12, 2022. [Online]. Available: https://www.semanticscholar.org/paper/State-of-the-Art-Analysis%3A-An-Overview-of-Advanced-Lindgren-Chen/6f2d1b9bbd563f8ff2c3c23691df49d249877088.

[30] T. Mahler, “D2.2 System needs and benchmarking Dissemination level PU,” 2016. Accessed: Aug. 10, 2022. [Online]. Available: www.DENSE247.eu.

[31] B. Shneiderman and C. Plaisant, *Designing the user interface : strategies for effective human-computer interaction*. Addison-Wesley, 2010.

[32] “Characteristics of Adverse Weather Conditions Dissemination level PU,” 2018. Accessed: Aug. 10, 2022. [Online]. Available: www.DENSE247.eu.

[33] F. Rosique, P. J. Navarro, C. Fernández, and A. Padilla, “A Systematic Review of Perception

System and Simulators for Autonomous Vehicles Research," *Sensors (Basel).*, vol. 19, no. 3, Feb. 2019, doi: 10.3390/S19030648.

[34] "Xilinx - Adaptable. Intelligent." https://www.xilinx.com/ (accessed Feb. 22, 2022).

[35] Xilinx, "7 Series FPGAs Datasheet," 2020. https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf (accessed Feb. 28, 2022).

[36] "Enclustra FPGA Solutions | Home | FPGA Design Servcies | FPGA & System-on-Chip (SoC) Modules | System-on-Modules (SOM) | IP Cores." https://www.enclustra.com/en/home/ (accessed Feb. 22, 2022).

[37] "Enclustra FPGA Solutions | Mercury+ KX2 | Xilinx Kintex-7 FPGA Module | XC7K160T | XC7K325T | XC7K410T." https://www.enclustra.com/en/products/fpga-modules/mercury-kx2/ (accessed Dec. 23, 2021).

[38] "Artificial Intelligence Computing Leadership from NVIDIA." https://www.nvidia.com/en-us/ (accessed Feb. 22, 2022).

[39] "Jetson TX2 Module | NVIDIA Developer." https://developer.nvidia.com/embedded/jetson-tx2 (accessed Oct. 11, 2021).

[40] "Smart | Connected | Secure | Microchip Technology." https://www.microchip.com/ (accessed Feb. 22, 2022).

[41] "KSZ9897R Most Current Documentation," Accessed: Feb. 22, 2022. [Online]. Available: http://www.microchip.com.

[42] M. Parker and S. Dhanani, *Digital Video Processing for Engineers: A Foundation for Embedded Systems Design*, 1st ed. 2013.

[43] Xilinx and Inc, "7 Series FPGAs Data Sheet: Overview (DS180)," 2010, Accessed: Feb. 28, 2022.

[Online]. Available: www.xilinx.com.

[44] Xilinx, “Zynq UltraScale + MPSoC Data Sheet : Overview,” 2019. https://www.bing.com/search?q=Zynq+UltraScale+%2B+MPSoC+Data+Sheet+%3A+Overview&cvid=bdafd4ca047b487cb3b380838e7a63f0&aqs=edge..69i57.1568j0j4&FORM=ANAB01&PC=U531 (accessed Feb. 28, 2022).

[45] SMPTE, “ST 292-1:2012 - SMPTE Standard - 1.5 Gb/s Signal/Data Serial Interface,” 2012.

[46] A. I. A. (AIA), “Specifications of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers, version 2.0,” Ann Arbor, 2012.

[47] ITU, “Recommendation ITU-R BT.656-5 (12/2007) Interface for digital component video signals in 525-line and 625-line television systems operating at the 4:2:2 level of Recommendation ITU-R BT.601 BT Series Broadcasting service (television),” Geneva, 2011. [Online]. Available: http://www.itu.int/ITU-R/go/patents/en.

[48] “MIPI Camera Serial Interface 2 (MIPI CSI-2).” https://www.mipi.org/specifications/csi-2 (accessed Jan. 21, 2022).

[49] “Video4Linux devices — The Linux Kernel documentation.” https://linuxtv.org/downloads/v4l-dvb-apis/driver-api/v4l2-core.html# (accessed Dec. 10, 2021).

[50] “HDMI Specification Version 1.4a Extraction of 3D Signaling Portion : HDMI Licensing, LLC : Free Download, Borrow, and Streaming : Internet Archive.” https://archive.org/details/HDMI-1.4a-3D-Extract (accessed Aug. 10, 2022).

[51] R. Farber, “CUDA application design and development,” 2012.

[52] S. Solutions, “Si5338 I 2 C-PROGRAMMABLE ANY-FREQUENCY, ANY-OUTPUT Q UAD CLOCK GENERATOR Features Applications Description.” www.skyworksinc.com (accessed Aug. 12,

2022).

[53] “Configuring the Si5338/56 via I2C.” https://www.silabs.com/content/usergenerated/asi/cloud/attachments/siliconlabs/en/community/mcu/32-bit/forum/jcr:content/content/primary/qna/_si5338_-guXm/_an428-PMOl/HowToConfigureSi5338_56_via_I2C_v3.pdf (accessed Aug. 12, 2022).

[54] “BT.656 : Interface for digital component video signals in 525-line and 625-line television systems operating at the 4:2:2 level of Recommendation ITU-R BT.601,” 2007. Accessed: Aug. 11, 2022. [Online]. Available: https://www.itu.int/rec/R-REC-BT.656/en.

[55] “SMPTE ST 259M - Television — SDTV1 Digital Signal/Data — Serial Digital Interface | Engineering360,” 2008. Accessed: Aug. 11, 2022. [Online]. Available: https://standards.globalspec.com/std/1083656/SMPTE ST 259M.

[56] “Memory Interface.” https://www.xilinx.com/products/intellectual-property/mig.html (accessed Nov. 21, 2021).

[57] P. Greisen, S. Heinzle, M. Gross, and A. P. Burg, “An FPGA-based processing pipeline for high-definition stereo video,” *EURASIP J. Image Video Process.*, 2011, doi: 10.1186/1687-5281-2011-18.

[58] J. Williams and I. Mikhelson, “Triple frame buffer FPGA implementation,” *HardwareX*, vol. 5, pp. e00064–e00064, 2019, doi: 10.1016/j.ohx.2019.e00064.

[59] X. Maldague, *Theory and practice of infrared technology for nondestructive testing*. Wiley, 2001.

[60] S. J. Blundell and K. M. Blundell, “Rods, bubbles, and magnets,” *Concepts Therm. Phys.*, pp. 191–202, Oct. 2009, doi: 10.1093/ACPROF:OSO/9780199562091.003.0017.

[61] M. Vollmer and K. P. Möllmann, “Infrared thermal imaging: Fundamentals, research and

applications," *Infrared Therm. imaging Fundam. Res. Appl.*, pp. 1–769, Oct. 2017, doi: 10.1002/9783527693306.

[62] R. K. Jayadevan Latha N Assistant Professor Associate Professor, K. A. Navas Anjali Ananthan Principal, and P. M. Tech Student, "A Review on Recent Pseudo-Coloring Techniques," *IJSTE-International J. Sci. Technol. Eng.* |, vol. 1, no. 11, 2015, Accessed: Aug. 10, 2022. [Online]. Available: www.ijste.org.

[63] M. Trifunovic, I. Popadic, V. Lukic, and M. Peric, "Unified interfacing solution in video processing platforms based on FPGA," *IcETRAN*, vol. EKI3.4., no. 4, pp. 1–6, 2017.

[64] "Real Time Streaming Protocol (RTSP)," *IETF*, 1998. https://www.ietf.org/rfc/rfc2326.txt (accessed Aug. 10, 2022).

[65] "ImageJ Wiki, An open platform for scientific image analysis." https://imagej.net/ (accessed Aug. 10, 2022).

[66] RP Optical Lab, "RP Optics C330 Thermal imaging camera specification." http://rp-optical-lab.com/wp-content/uploads/2016/04/MWIR-LRC3Z-r9-1.pdf (accessed Aug. 10, 2022).

[67] "GStreamer: open source multimedia framework." https://gstreamer.freedesktop.org/ (accessed Dec. 15, 2021).

[68] M. Pavlović, N. Vlahović, M. Perić, A. Simić, and S. Stanković, "Real-Time Dead Pixels Removal in Thermal Imaging," in *Proc. of 6th IcETRAN*, 2019, pp. 345–348.

[69] "Profile S - ONVIF." https://www.onvif.org/profiles/profile-s/ (accessed Feb. 10, 2022).

[70] G. Standard, "GenICam GenTL Standard," 2015. https://www.emva.org/wp-content/uploads/GenICam_GenTL_1_5.pdf (accessed Dec. 10, 2022).

[71] "GenICam – EMVA." https://www.emva.org/standards-technology/genicam/ (accessed Nov. 10, 2021).

[72] B. Hartpence, *Pocket Guide to Routing and Switching*. 2011.

[73] M. Dimitrievski, D. Van Hamme, P. Veelaert, and W. Philips, "Cooperative Multi-Sensor Tracking of Vulnerable Road Users in the Presence of Missing Detections," *Sensors*, vol. 20, no. 4817, p. 4817, Aug. 2020, doi: 10.3390/S20174817.

[74] B. S. Jahromi, T. Tulabandhula, and S. Cetin, "Real-Time Hybrid Multi-Sensor Fusion Framework for Perception in Autonomous Vehicles," *Sensors 2019, Vol. 19, Page 4357*, vol. 19, no. 20, p. 4357, Oct. 2019, doi: 10.3390/S19204357.

[75] Y. K. Cheong, V. V. Yap, and H. Nisar, "A novel face detection algorithm using thermal imaging," *ISCAIE 2014 - 2014 IEEE Symp. Comput. Appl. Ind. Electron.*, pp. 208–213, Jan. 2015, doi: 10.1109/ISCAIE.2014.7010239.

[76] Y. Zheng, "Face detection and eyeglasses detection for thermal face recognition," *Image Process. Mach. Vis. Appl. V*, vol. 8300, p. 83000C, Feb. 2012, doi: 10.1117/12.907123.

[77] A. Kwásniewska, J. Rumiński, and P. Rad, "Deep features class activation map for thermal face detection and tracking," *Proc. - 2017 10th Int. Conf. Hum. Syst. Interact. HSI 2017*, pp. 41–47, Aug. 2017, doi: 10.1109/HSI.2017.8004993.

[78] C. Ma, N. T. Trung, H. Uchiyama, H. Nagahara, A. Shimada, and R. I. Taniguchi, "Adapting Local Features for Face Detection in Thermal Image," *Sensors 2017, Vol. 17, Page 2741*, vol. 17, no. 12, p. 2741, Nov. 2017, doi: 10.3390/S17122741.

[79] J. Beyerer, M. Ruf, and C. Herrmann, "CNN-based thermal infrared person detection by domain adaptation," p. 8, May 2018, doi: 10.1117/12.2304400.

[80] A. J. R. Neves, R. Ribeiro, and J. M. A. Fernandes, "Face Detection on Infrared Thermal Image," 2017, Accessed: Aug. 11, 2022. [Online]. Available: https://www.researchgate.net/publication/317013979_Face_Detection_on_Infrared_Thermal_Image.

[81] R. Girshick, J. Donahue, T. Darrell, J. Malik, U. C. Berkeley, and J. Malik, "Region-Based Convolutional Networks for Accurate Object Detection and Segmentation," in *Proceedings of the IEEE Computer Society Conference on Computer Vision and Pattern Recognition*, Sep. 2014, vol. 1, pp. 580–587, doi: 10.1109/CVPR.2014.81.

[82] Chen Junli and Jiao Licheng, "Classification mechanism of support vector machines," in *5th International Conference on Signal Processing Proceedings. 16th World Computer Congress 2000*, Nov. 2000, vol. 3, pp. 1556–1559, doi: 10.1109/ICOSP.2000.893396.

[83] "BORDER PROTECTION - LAND-SR | vlatacom-institute." https://www.vlatacominstitute.com/border-protection-land-sr (accessed Aug. 11, 2022).

[84] S. Dodge and L. Karam, "Understanding How Image Quality Affects Deep Neural Networks," *2016 8th Int. Conf. Qual. Multimed. Exp. QoMEX 2016*, Apr. 2016, doi: 10.48550/arxiv.1604.04004.

[85] "XTM-640 - Xenics nv - High Resolution Uncooled Thermal OEM Module Datasheet | Engineering360." https://datasheets.globalspec.com/ds/xenics-nv/xtm-640/a3fb15b7-f6cd-4017-8c80-5621a6b6dce8?ps=0&signin=0&qid=0&vid=350547&partid=2cc124d9-cc03-4657-a67f-a82a4b4a62fd&elink=false&comp=2645&pg=1&sqid=0 (accessed Aug. 10, 2022).

[86] "SupIR 25-225mm f/1.5 | Ophir Infrared Optics." https://www.ophiropt.com/infrared/lenses/supir-25-225mm-f-1-5/ (accessed Aug. 12, 2022).

[87] "CIFAR-10 and CIFAR-100 datasets." http://www.cs.toronto.edu/~kriz/cifar.html (accessed Aug. 12, 2022).

[88] "Getting Started with Object Detection Using Deep Learning - MATLAB & Simulink." https://www.mathworks.com/help/vision/ug/getting-started-with-object-detection-using-deep-learning.html (accessed Aug. 12, 2022).

[89] J. Redmon and A. Farhadi, "YOLOv3: An Incremental Improvement," Accessed: Aug. 12, 2022.

[Online]. Available: https://pjreddie.com/yolo/.

[90] R. A. Krofli and R. D. Kelly, “Meteorological research applications of MM-wave radar,” *undefined*, vol. 59, no. 1–2, pp. 105–121, 1996, doi: 10.1007/BF01032003.

[91] V. W. Richard, “Millimeter Wave Radar Applications to Weapons Systems,” *undefined*, Jun. 1976, doi: 10.21236/ADB012103.

[92] K. Guo, C. Liu, S. Zhao, J. Lu, S. Zhang, and H. Yang, “Design of a Millimeter-Wave Radar Remote Monitoring System for the Elderly Living Alone Using WIFI Communication,” *Sensors 2021, Vol. 21, Page 7893*, vol. 21, no. 23, p. 7893, Nov. 2021, doi: 10.3390/S21237893.

[93] “AWR1243BOOST Evaluation board | TI.com.” https://www.ti.com/tool/AWR1243BOOST (accessed Dec. 01, 2022).

[94] “Jetson Product Lifecycle | NVIDIA Developer.” https://developer.nvidia.com/embedded/community/lifecycle (accessed Oct. 11, 2021).

[95] “Kria K26 System-on-Module.” https://www.xilinx.com/products/som/kria/k26i-industrial.html (accessed Dec. 01, 2022).

[96] P. D. M. O. Dr Vladimir Cizelj, *“VLATACOM INSTITUTE OF HIGH TECHNOLOGY - Ten years since the first accreditation.”* Belgrade, 2021.

Novi koncept arhitekture sistema za obradu velike količine podataka u senzorskim uređajima sa ograničenim računarskim resursima

ORIGINALITY REPORT

3%
SIMILARITY INDEX

PRIMARY SOURCES

1	www.xilinx.com Internet	85 words — < 1%
2	www.etf.bg.ac.rs Internet	80 words — < 1%
3	portal.sinteza.singidunum.ac.rs Internet	61 words — < 1%
4	t4.kai.ru Internet	46 words — < 1%
5	nardus.mpn.gov.rs Internet	34 words — < 1%
6	www.origin.xilinx.com Internet	34 words — < 1%
7	repozitorij.fsb.unizg.hr Internet	17 words — < 1%
8	plis.ru Internet	15 words — < 1%
9	singipedia.singidunum.ac.rs Internet	15 words — < 1%

10	www.researchgate.net Internet	13 words — < 1%
11	oxytronic.epartenaire.com Internet	11 words — < 1%
12	www.avnet.co.jp Internet	11 words — < 1%
13	www.tuugo.us Internet	10 words — < 1%
14	fedorabg.bg.ac.rs Internet	9 words — < 1%
15	www.bos.org.rs Internet	9 words — < 1%
16	www.cipcentar.org Internet	9 words — < 1%
17	www.gasdetekcija.rs Internet	9 words — < 1%
18	www.itsvet.com Internet	9 words — < 1%
19	www.sdcafe.rs Internet	9 words — < 1%
20	"One Software Solution for Safe Data Transmission via Broadr-Reach Interface", 2018 26th Telecommunications Forum (TELFOR), 2018 Crossref	8 words — < 1%
21	arhiva.nara.ac.rs Internet	

		8 words — < 1%
22	docplayer.net Internet	8 words — < 1%
23	documents.rec.org Internet	8 words — < 1%
24	repozitorij.foi.unizg.hr Internet	8 words — < 1%
25	uvidok.rcub.bg.ac.rs Internet	8 words — < 1%
26	www.elektrosistem.co.rs Internet	8 words — < 1%
27	www.mdpi.com Internet	8 words — < 1%
28	www.procreditbank.rs Internet	8 words — < 1%
29	www.slideshare.net Internet	8 words — < 1%
30	Mingcong Cao, Rongrong Wang, Nan Chen, Junmin Wang. "A Learning-Based Vehicle Trajectory-Tracking Approach for Autonomous Vehicles With LiDAR Failure Under Various Lighting Conditions", IEEE/ASME Transactions on Mechatronics, 2022 Crossref	7 words — < 1%
31	Richa Tripathi, Bruce J. Gluckman. "Development of Mechanistic Neural Mass (mNM) Models that Link	7 words — < 1%

Physiology to Mean-Field Dynamics", Frontiers in Network Physiology, 2022
Crossref

32 Dante Mújica-Vargas, Antonio Luna-Álvarez, José de Jesús Rubio, Blanca Carvajal-Gámez. "Noise gradient strategy for an enhanced hybrid convolutional-recurrent deep network to control a self-driving vehicle", Applied Soft Computing, 2020 — 6 words — < 1%
Crossref

33 vbs.rs — 6 words — < 1%
Internet

EXCLUDE QUOTES	ON	EXCLUDE SOURCES	OFF
EXCLUDE BIBLIOGRAPHY	ON	EXCLUDE MATCHES	OFF