

МОДЕЛИРАНЕ НА ВРЕМЕЗАКЪСНЕНИЯТА В ЛОГИЧЕСКИЯ БЛОК НА FPGA УСТРОЙСТВА

MODELLING OF DELAY PATH IN FPGA LOGIC BLOCK

Петър Минев
ТУ-Габрово

Валентина Куценска
ТУ-Габрово

Abstract

В този доклад е описана разработката на модел за логическите блокове на FPGA устройства произведени по 90nm CMOS технологичен процес. Моделът има за цел да позволи изчислението на времеакъсненията внасяни от отделните елементи в логическия блок на FPGA, като функция на неговите размери.

Keywords: FPGA; Delay Path; Logic Block; RC model; CMOS; 90nm Technology Node.

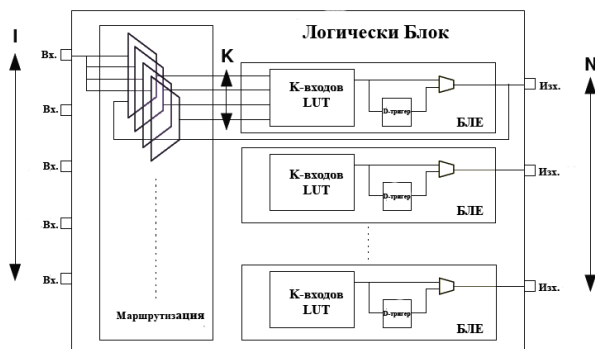
1. ВЪВЕДЕНИЕ

Логическият блок в FPGA ИС е изграден от N на брой базови логически елемента (БЛЕ), които формират една логическа група (фиг. 1).

Базовият логически елемент съдържа един LUT елемент с K входа и един D-тригер.

Посредством мултиплексора се избира, дали изходът да е регистров или комбинационен.

Елементът LUT представлява логическа структура, която позволява реализация на всяка една логическа функция с K на брой променливи [4].

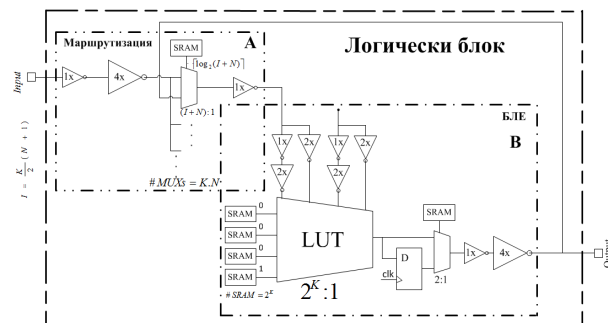


Фиг. 1. Структура на логически блок в архитектурата на FPGA

Всеки логически блок съдържа локална маршрутизация, така че всеки логически елемент да може да се свърже към всеки вход на логическия блок. Освен това всеки

вход на логическия блок се свързва с всеки изход на логическия елемент. При комерсиалните FPGA схеми често се редуцира тази гъвкавост, за да се спести площ [4].

На фиг. 2 е показана принципната схема на логически блок със следните архитектурни параметри: $I=2$; $N=1$; $K=2$.



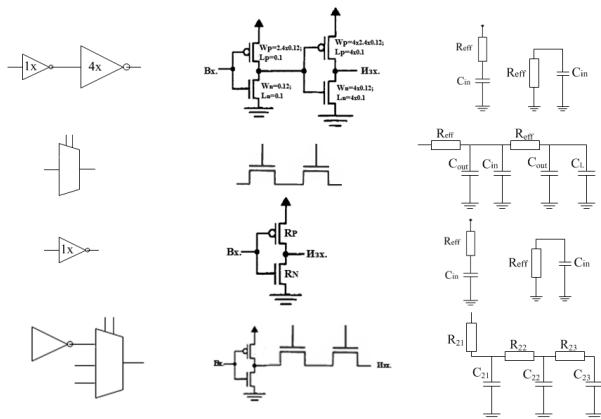
Фиг. 2. Схема на логически блок с архитектурни параметри: $I=2$; $N=1$; $K=2$

2. ИЗЛОЖЕНИЕ

За да се състави модел на времеакъсненията в логическия блок на FPGA са използвани опростени RC-заместващи схеми, показани на фигура 3. Както е видно от фиг. 2, логическият блок на FPGA е изграден от следните базови структури: "pass" транзистори (по същество, това са NMOS транзистори в ключов режим на работа) и буферни схеми, съставени от CMOS инвертори. Логическият блок съдържа още SRAM клетки, които не са включени в мо-

дела, тъй като тяхното състояние не се променя по време на работа на FPGA прибора. На фигура 3 са показани RC заместващите схеми на изброените структури изграждащи логическия блок на FPGA:

- Буферна схема;
- Мултиплексор;
- CMOS инвертор;
- Верига от “pass” транзистори.



Фиг. 3. RC заместващи схеми за примитивите, изграждащи логическия блок в FPGA

Закъсненията във верига от CMOS инвертори се изчисляват по формула (1), а тези във верига от “pass” транзистори според (2), както е посочено в [2].

$$T_{RC} = \sum R_i \cdot C_i \quad (1)$$

$$T_{Elmore} = R_{pt} C_{inv,pt} + 2R_{pt} C_{inv,pt} + \dots + nR_{pt} C_L \quad (2)$$

$$= \frac{n(n-1)}{2} R_{pt} C_{inv,pt} + nR_{pt} C_L$$

2.1. Технологични и архитектурни параметри, участващи в модела

В таблица 1 са обобщени стойностите на параметрите използвани при изготвяне на модела. Те са получени като са използвани калибриращи схеми подобни на схемите в методиката описана в [1].

Размерите на транзисторите в CMOS инвертора са минимални по избрания технологичен процес, а отношението между широчините на техните канали е прието за $Wp/Wn=2,5$ [2]. Размера на изходния инвертор в буферните схеми е приет за $Bs=4$, а този за буферите в LUT елемента – $Ls=2$ [2].

Архитектурните параметри избрани като база за моделиране на логическия блок са: $N=1$; $K=2$; $I=2$ (фиг. 2).

Таблица 1. Стойности на параметрите, участващи в модела

Описание	Означение	Стойност
Съпротивление на инвертор при преход от „1“ в „0“	$R_{inv,n}$, [KΩ]	12,23
Съпротивление на инвертор при преход от „0“ в „1“	$R_{inv,p}$, [KΩ]	14,59
Входен капацитет на инвертор	C_{in} , [fF]	0,84
Вътрешен капацитет на инвертор	C_{inv} , [fF]	0,56
Съпротивление на отпушен “pass” транзистор	R_{on} , [KΩ]	15,49
Капацитет на отпушен “pass” транзистор	C_{on} , [fF]	0,42
Капацитет на запушен “pass” транзистор	C_{off} , [fF]	0,07
Капацитет на гейта на “pass” транзистор	C_g , [fF]	0,17

2.2. Моделиране на локалната маршрутизация

Схемата за локална маршрутизация включва буфер, съставен от два последователни инвертора, мултиплексор за маршрутизация и инвертор свързан към изхода на мултиплексора (фиг. 4) [4].

Общото закъснение е съвкупност от закъсненията на двата входни инвертора, мултиплексора и инвертора на неговия изход. За неговото изчисление се използват RC-заместващите схеми показана на фигура 4, чрез които се моделират веригите на първия и втория инвертор, веригата от “pass” транзистори и инвертора в изхода на мултиплексора [2]. Според тези заместващи схеми се получават следните формули за изчисляване на общото закъснение, което внася локалната маршрутизация в ЛБ:

$$T_{HL1} = R_1 \cdot C_1 \quad (3)$$

$$R_1 = R_{inv,n}$$

$$C_1 = C_{inv} + C_{in} \cdot B_s$$

$$T_{LH2} = R_{21} \cdot C_{21} \quad (4)$$

$$R_{21} = \frac{R_{inv,p}}{B_s}$$

$$C_{21} = C_{inv} \cdot B_s + C_{on} + C_{off} \cdot (N \cdot K - 1)$$

$$T_{LH3} = R_{31} \cdot C_{31} + (R_{31} + R_{32}) \cdot C_{32} \quad (5)$$

$$R_{31} = R_{32} = R_{on}$$

$$C_{31} = 2 \cdot C_{on} + C_{off}$$

$$C_{32} = C_{on} + C_{off} + C_{in}$$

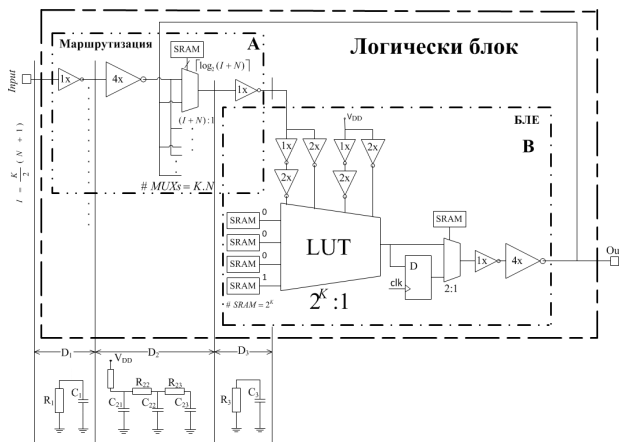
$$T_{HL4} = R_4 \cdot C_4 \quad (6)$$

$$R_4 = R_{inv,n}$$

$$C_4 = C_{inv} + C_{in} + C_{in} \cdot L_s$$

$$T_{local\ routing} = T_{HL1} + T_{LH2} + T_{LH3} + T_{HL4} \quad (7)$$

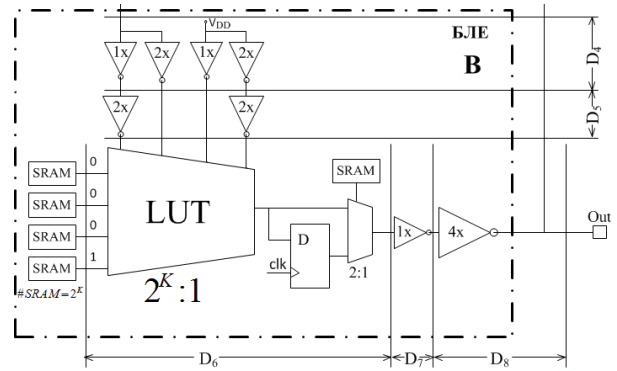
За да се отчетат закъсненията през най-дългия път от входа към изхода на схемата е необходимо в управляващите SRAM клетки на мултиплексора за локална маршрутизация да се запишат конкретни стойности в случая единици.



Фиг. 4. RC еквивалентна схема на моделираната локална маршрутизация

2.3. Моделиране на базовия логически елемент

Схемата на базовия логически елемент показана на фиг. 5 включва 2 буфера, съставени от по 2 инвертора, допълнително още два единични инвертора, мултиплексор (LUT елемент), D-тригер, селектиращ мултиплексор и буфер от два последователно свързани инвертора [4].



Фиг. 5. Схема на моделираният базовия логически елемент

Критичния път в схемата включва входната двойка инвертори, мултиплексора, който изгражда LUT елемента, селектиращия мултиплексор, пренасочващ изхода и изходния буфер съставен от двойката единичен и четворен инвертори. За изчисляване на закъсненията в така дефинирания критичен път се използват RC-заместващите схеми показани на фигура 6, чрез които се моделират веригите на входния CMOS инвертор (точка D4), двойния инвертор (точка D5), веригите от ключови NMOS транзистори на двата мултиплексора (точка D6) и двата изходни инвертора (точки D7 и D8). Спроед тези заместващи схеми се получават следните формули за изчисляване на общото закъснение, което внася БЛЕ в ЛБ:

$$T_{LH5} = R_5 \cdot C_5 \quad (8)$$

$$R_5 = R_{inv,p}$$

$$C_5 = C_{inv} + C_{in} \cdot (1 + L_s)$$

$$T_{HL6} = R_6 \cdot C_6 \quad (9)$$

$$R_6 = \frac{R_{inv,n}}{L_s}$$

$$C_6 = C_{inv} \cdot L_s + 2 \cdot C_g$$

$$T_{HL7} = R_{71} \cdot C_{71} + (R_{71} + R_{72}) \cdot C_{72} + (R_{71} + R_{72} + R_{73}) \cdot C_{73} \quad (10)$$

$$R_{71} = R_{72} = R_{73} = R_{on}$$

$$C_{71} = 2 \cdot C_{on} + C_{off}$$

$$C_{72} = 2 \cdot C_{on} + C_{off}$$

$$C_{73} = C_{on} + C_{off} + C_g$$

$$T_{LH8} = R_8 \cdot C_8 \quad (11)$$

$$R_8 = R_{inv,p}$$

$$C_8 = C_{inv} + C_{in} \cdot B_s$$

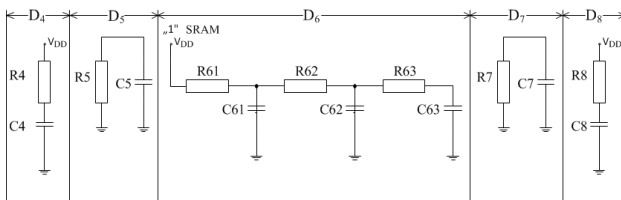
$$T_{HL9} = R_9 \cdot C_9 \quad (12)$$

$$R_9 = \frac{R_{inv,n}}{B_s}$$

$$C_9 = C_{inv} \cdot B_s + (N \cdot K) \cdot C_{off}$$

За общото времезакъснение в базовия логически елемент се получава:

$$T_{BLE} = T_{LH5} + T_{HL6} + T_{HL7} + T_{LH8} + T_{HL9} \quad (13)$$



Фиг. 6. Еквивалентна RC-заместваща схема на моделирания базов логически елемент

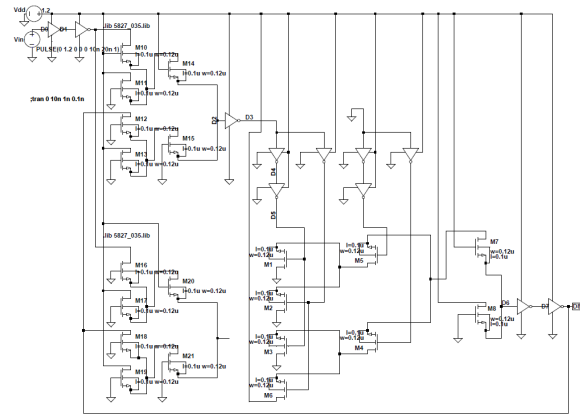
При създаването на модела не е отчетено закъснението, което внася D-тригера. Неговото закъснение е от порядъка на периода на тактовият сигнал и при необходимост може да бъде добавено към общото закъснение внасяно от схемата.

2.4. Верификация на модела

За да се оцени точността на създадения модел е необходимо да се сравнят неговите резултати с резултатите отчетени при симулацията в SPICE на транзисторната схема на логическия блок в FPGA (фиг.7).

Симулацията е направена с програмата HSPICE, която е широко използвана при анализ на CMOS интегрални схеми [6].

За MOS транзисторите в схемата са използвани SPICE модели на IBM за 90 нанометров CMOS технологичен процес [5].



Фиг. 7. Принципна схема на логически блок с параметри $N=1$, $K=2$ и $I=3$.

В таблица 2 са преставени резултатите получени от модела съпоставени със стойностите измерени при симулацията в SPICE.

Таблица 2. Съпоставка на резултатите от симулацията и модела

Точка от схемата	Време-закъснение HSPICE, [ps]	Време-закъснение модел, [ps]	Процент на грешката %
T1	44	52,79	20
T2	98,15	62,15	37
T3	127,3	117,4	8
T4	213,9	158,9	26
T5	282,7	189,2	33
T6	306,6	199,1	35
T7	305,2	303,2	1
T8	436	356	18
T9	524,5	364,2	31

3. ЗАКЛЮЧЕНИЕ

Получените резултати показват, че създаденият линейен модел може да се използва за приблизително изчисляване на времезакъснения в логическия блок на FPGA. Така бързо могат да се намират времезакъсненията в логически блокове с произволни размери, което би улеснило тяхното проектиране и анализ. Работата по създадения модел следва да продължи и той да се оптимизира, както и по детайлно да се провери коректността му при различни по размер логически блокове и технологични процеси.

4. Благодарности

Тази разработка е подкрепена финансово от проект: “Подкрепа на творческото развитие на докторанти, пост-докторанти и млади учени в областта на компютърните науки”, BG 051PO001-3.3.04/13 финасиран от ЕВРОПЕЙСКИ СОЦИАЛЕН ФОНД 2007 – 2013 г., ОПЕРАТИВНА ПРОГРАМА “РАЗВИТИЕ НА ЧОВЕШКИТЕ РЕСУРСИ” и проект: “Проектиране и апаратно-програмно реализиране на информационно-справочна и презентационна система с тактилен дисплей” Е1003-2010 финасиран от фонд “Научни изследвания” в ТУ-Габрово.

ЛИТЕРАТУРА

- [1] Кукенска В., П. Минев, Метод за определяне на еквивалентните паразитни параметри в MOS транзистор, “УНИТЕХ’10”, Габрово, 2010. <Под печат>
- [2] Hodges D., H. Jackson, R. Saleh, Analysis and Design of Digital Integrated Circuits In Deep Submicron Technology, NY, 2003.
- [3] Hung E., S. Wilton, T. Chau, H. Yu, P. Leong, A detailed delay path model for FPGAs. In Proc. International Conference on Field Programmable Technology (FPT), 2009.
- [4] V. Betz and J. Rose, Architecture and CAD for the Speed and Area Optimization of FPGAs, Ph.D. Dissertation University of Toronto, 1998.
- [5] <www.mosis.com>.
- [6] <www.synopsys.com>.