

ИЗПОЛЗВАНЕ НА ПРЕМЕСТВАЩИ РЕГИСТРИ ЗА СИНТЕЗ НА НЕПЪЛНИ БРОЯЧИ

USING SHIFT REGISTERS FOR PART COUNTER SYNTHESIS

Андрей Илиев
ТУ - Габрово

Abstract

A methods and a circuit for programmable synthesis of part counter circuits is examined.

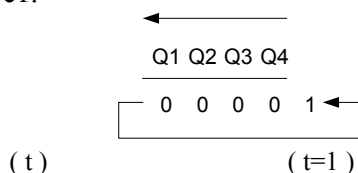
Keywords: shift register, counter

ВЪВЕДЕНИЕ

Известна е възможността за използване на преместващи регистри за синтез на непълни броячни схеми. Характерни за случая са получаването на схемни решения с твърда логика, голям брой забранени състояния и невъзможността за излизане от тях при попадане под въздействието на външни фактори в тази област. В доклада е представена една възможност за получаване на такива броячи с програмируем брой вътрешни състояния.

ИЗЛОЖЕНИЕ

Постановката за синтез на брояч до пет $/K=5/$ на базата на четири разряден преместващ регистър с начално нулево състояние е показана на фиг.1. На последователния му вход има лог.1, а последователният изход е свързан с този вход. Действието на схемата се описва с показаната таблица на истинност.

[illegible]

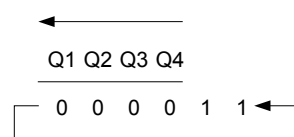
Фиг. 1. Получаване на брояч с 5 вътрешни състояния. Таблица на истинност.

От тази таблица, с отчитане на забранените състояния, следват логическите уравнения на брояча, реализиран с тригери тип D - фиг. 2.

	Q1			$\swarrow$ D4		
Q2	*	*	*		0	D1 = Q2
	*	*	*		*	D2 = Q3
	*	*	*		0	D3 = Q4
	0	*	0	1	D4 = $\overline{Q_1} \overline{Q_2} \overline{Q_3} \overline{Q_4}$	
	Q3					

Фиг. 2. Логически уравнения на брояч до 5.

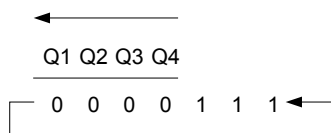
Аналогичен е подходът за синтез на непълни броячи до 6, 7 и 8 – фиг.3 / а – в /



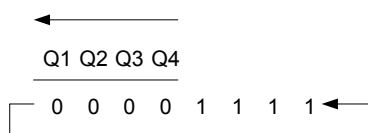
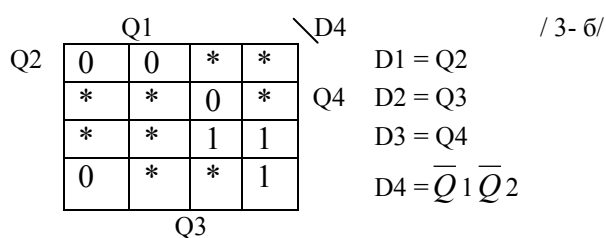
(t)				(t+1)							
Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	D1	D2	D3	D4
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	1	0	0	1	1
0	0	1	1	0	1	1	0	0	1	1	0
0	1	1	0	1	1	0	0	1	1	0	0
1	1	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0

Q2

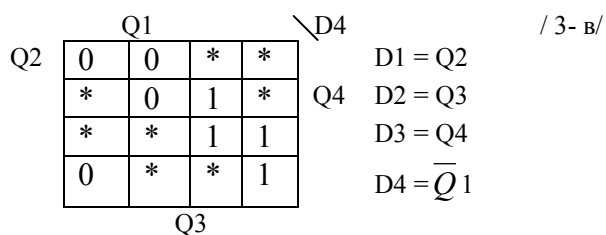
	Q1						
Q2	0	*	0	*	Q4	$\diagdown$ D4	/ 3- a /
	*	*	*	*		D1 = Q2	
	*	*	0	1		D2 = Q3	
	0	*	*	1		D3 = Q4	
	Q3					D4 = $\overline{Q_1} \overline{Q_2} \overline{Q_3}$	



(t)				(t+1)							
Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	D1	D2	D3	D4
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	1	0	0	1	1
0	0	1	1	0	1	1	1	0	1	1	1
0	1	1	1	1	1	1	0	1	1	1	0
1	1	1	0	1	1	0	0	1	1	0	0
1	1	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0



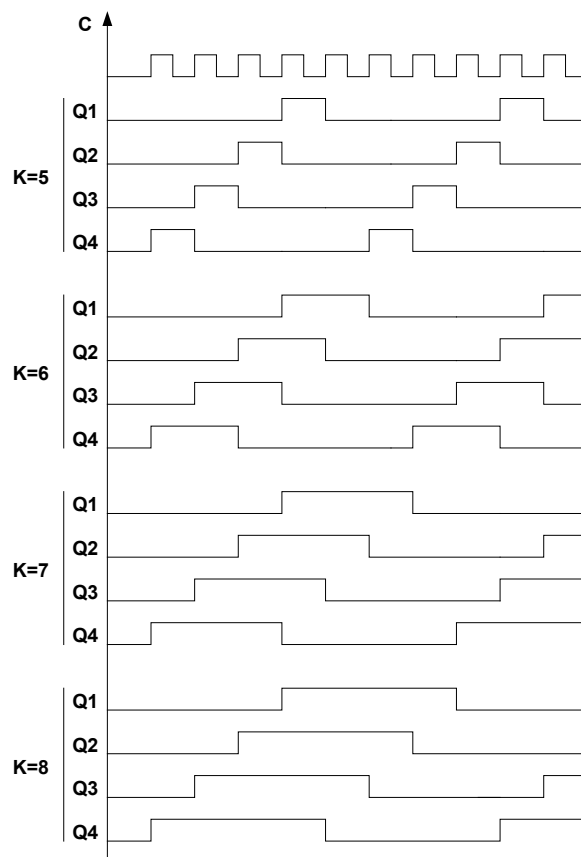
(t)				(t+1)							
Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	D1	D2	D3	D4
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	1	0	0	1	1
0	0	1	1	0	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0	1	1	1	0
1	1	1	0	1	1	0	0	1	1	0	0
1	1	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0



Фиг 3 Синтез на непълни броячи с $K = 6 / а /$,
 $K = 7 / б /$ и $K = 8 / в /$.

Приложението на разгледаните схемни решения е свързано с техните специфични времедиаграми – фиг. 4. Получени са незастъпващи се изходни сигнали Q_i , дефазирани на $90^\circ / K = 5 /$, дефазирани и застъпващи се с продължителност 2, 3 или 4 такта, съответно при $K = 6$, $K = 7$ и $K = 8$. Това намира приложение в схеми за управление,

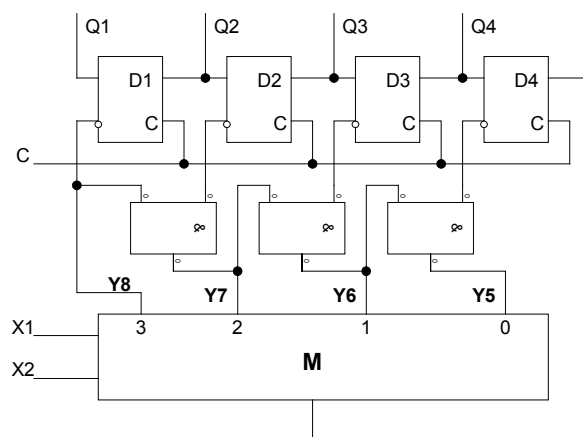
делители на честота с дефазирани изходи и др.



Фиг.4 Синтез на непълни броячи - времедиаграми

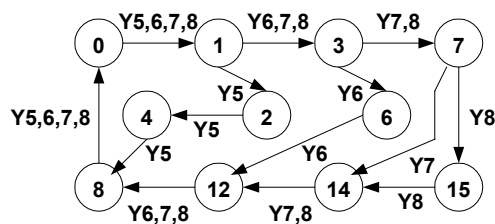
На фиг. 5 е показано схемно решение, обобщаващо получените резултати и даващо възможност за програмируемо получаване на искан вариант посредством управляващи сигнали X_1 и X_2 .

Графът, поясняващ действието на обобщената схема, е показан на фиг. 6.



X1	X2	K	Вх. сигнали $Y_i (i = 5,6,7,8)$
0	0	5	$Y_5 = \overline{Q_1} \overline{Q_2} \overline{Q_3} \overline{Q_4}$
0	1	6	$Y_5 = \overline{Q_1} \overline{Q_2} \overline{Q_3}$
1	0	7	$Y_5 = \overline{Q_1} \overline{Q_2}$
1	1	8	$Y_5 = \overline{Q_1}$

Фиг. 5. Обобщена схема на преместващ регистър, използван за синтез на непълни броячни схеми



Фиг. 6. Граф, поясняващ действието на схемата

Преместващият регистър, имащ последователен вход D4, е реализиран чрез четири D тригера. Изведените логически зависимости се получават посредством двувходови схеми „И” и посредством мултиплексора М управляват работата на схемата.

ЗАКЛЮЧЕНИЕ

В представената разработка не се разглежда проблема за работа на схемата при попадане в забранено състояние. В този случай могат да се ползват предложенията, направени в [1] и [2].

ЛИТЕРАТУРА

- [1] Илиев А.К. Цифрова схемотехника. ТУ-Габрово, 2009.
- [2] Iliev A. Synthesis of Self-Controlled Digital Circuits. UNITECH 07,2007.