

МЕТОД ЗА ОПРЕДЕЛЯНЕ НА ЕКВИВАЛЕНТНИТЕ ПАРАЗИТНИ ПАРАМЕТРИ В MOS ТРАНЗИСТОР

A METHOD TO DETERMINE THE EQUIVALENT MOS TRANSISTOR PARASITIC PARAMETERS

Валентина Куценска
ТУ-Габрово

Петър Минев
ТУ-Габрово

Abstract

Разработката на аналитични модели за определяне на времезакъсненията в CMOS ИС, налага да се намерят еквивалентните паразитни параметри в MOS транзистора - C_g - капацитет на гейта, C_d - дифузен капацитет и R_c - съпротивление на канала. Един метод за определянето на тези параметри е посредством схеми за калибриране и симулация в SPICE. За валидиране на резултатите, симулациите са направени като са използвани различни технологични модели на MOS транзистор.

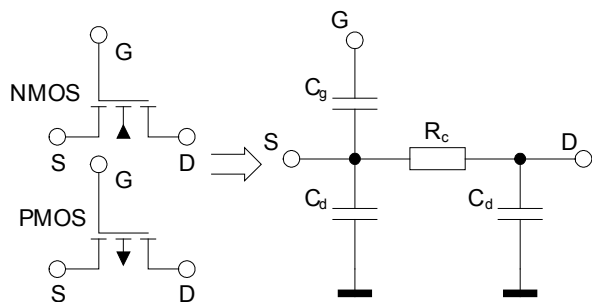
Keywords: : MOS; parasitic parameters; SPICE; simulation; CMOS; 90nm technology node.

1. ВЪВЕДЕНИЕ

Изследването, моделирането и проектирането на CMOS цифрови интегрални схеми налага да се познават стойностите на паразитните параметри в съставлящите ги MOS транзистори, тъй като те са определящи за тяхното бързодействие.

В този доклад е представен един метод за определяне стойностите на еквивалентните, от гледна точка на цифровите ИС, съпротивления и капацитети в MOS транзистор, произведен по CMOS технологичен процес.

На фиг. 1 е представена еквивалентна схема на MOS транзистор, включваща неговите паразитни параметри, които са обект на разглеждане в настоящия доклад.



Фиг. 1. Еквивалентни паразитни параметри на MOS транзистор

В представения на фиг. 1 модел C_g е гейтовия капацитет, C_d е дифузния капацитет на

преходите дрейн-база/сорс-база, а R_c е съпротивлението на канала на MOS транзистора.

2. ИЗЛОЖЕНИЕ

Съществуват различни методи за определяне на паразитните параметри в MOS транзистор [1], [2], [3], [4], [5], [6], [7], [8]. Някои от тях са аналитични [1], [2], [3], [7], [8], а други използват като база времезакъсненията в транзистора измерени посредством SPICE симулация [4], [5], [6]. Описаният в този доклад метод се отнася към втория вид, като съпоставя резултатите от симулационните изследвания с стойностите от получени от апроксимиращи аналитични изрази за съответните паразитни параметри.

2.1. Определяне на капацитета C_g

Капацитетът C_g може да се апроксимира посредством (1):

$$C_g = \frac{\epsilon_o \cdot \epsilon_{\text{SiO}_2}}{T_{\text{ox}}} \cdot W \cdot L, \quad (1)$$

където:

ϵ_o – диелектричната проницаемост на вакуум;

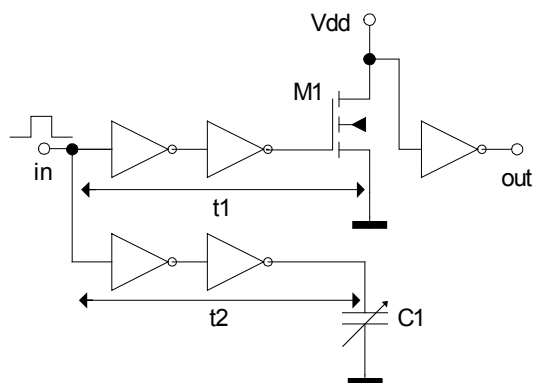
ϵ_{SiO_2} – относителната диелектрична проницаемост на SiO_2 ;

T_{ox} – дебелината на окисния слой в MOS транзистор;

W – широчината на канала в MOS транзистора;

L – дължината на канала в MOS транзистора.

За симулационно определяне на C_g , спрямо времезакъсненията в транзистора, може да се използва калибриращата схема от фиг. 2.



Фиг. 2. Схема за определяне на C_g

В таблица 1 са обобщени резултатите от симулацията в LTSpice за MOS транзистори с различни размери на канала по няколко CMOS технологични процеса.

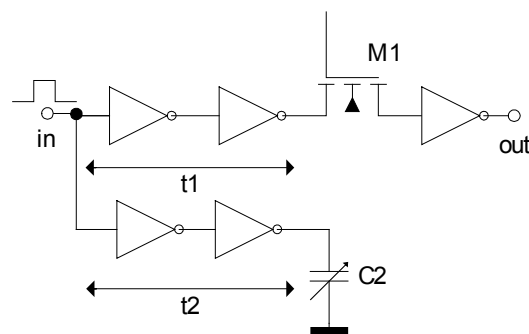
Таблица 1

CMOS процес	W [μm]	L [μm]	Tox [Å]	Изчислен C_g [fF]	Измерен C_g [fF]
180 nm	0,27	0,18	41	0,409	0,428
180 nm	20	0,18	41	30,320	39,820
180 nm	50	50	41	21055,691	16560,000
130 nm	0,16	0,12	32	0,207	0,350
130 nm	20	0,12	32	25,898	38,200
130 nm	20	20	32	4316,417	2768,400
90 nm	0,12	0,1	28	0,148	0,148
90 nm	5	0,1	28	6,166	6,192
90 nm	5	5	28	308,315	190,600
65 nm	0,12	0,06	26	0,096	0,094
65 nm	2	0,06	26	1,594	1,476
65 nm	2	2	26	53,125	36,563

2.2. Определяне на дифузията капацитет в MOS транзистор

За определяне на дифузията капацитет C_d , посредством SPICE симулация може да се използва калибриращата схема от фиг. 3,

В таблица 2 са сравнени резултатите от симулацията и стойностите изчислени посредством апроксимиращия израз (2).



Фиг. 3. Схема за определяне на дифузията капацитет C_d

$$C_d = C_j \cdot (W \cdot L) + C_{jswg} \cdot W, \quad (2)$$

където:

W – широчината на канала в MOS транзистора;

L – дължината на канала в MOS транзистора;

C_j – капацитет на прехода между активната площ на сorsa (дрейна) и базата на MOS транзистора;

C_{jswg} – капацитет на прехода между сorsa (дрейна) и базата от страната на гейта;

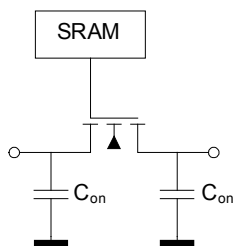
Параметрите C_j и C_{jswg} са функция на напрежението, но тук те са апроксимирани, посредством средните си стойности.

Таблица 2

CMOS процес	W [μm]	L [μm]	Y [μm]	Изчислен C_d [fF]	Измерен C_d [fF]
180 nm	0,27	0,18	0,36	0,136	0,323
180 nm	20	0,18	0,36	10,083	23,200
180 nm	50	50	100	3074,300	2650,000
130 nm	0,16	0,12	0,24	0,057	0,103
130 nm	20	0,12	0,24	7,163	12,960
130 nm	20	20	40	424,925	410,149
90 nm	0,12	0,1	0,2	0,017	0,075
90 nm	5	0,1	0,2	0,726	2,846
90 nm	5	5	10	31,149	46,980
65 nm	0,12	0,06	0,12	0,047	0,048
65 nm	2	0,06	0,12	0,783	0,626
65 nm	2	2	4	1,164	1,590

Определянето на параметрите C_g и C_d позволява да се изчислят входния и изходен капацитети на т. нар. “pass” транзистори (фиг. 4). Тези транзистори са често използвани в цифровите CMOS ИС за изграждането на мултиплексори и други превключващи вериги.

Във включено състояние капацитета на “pass” транзистора се определя от (3), а при изключено от (4).



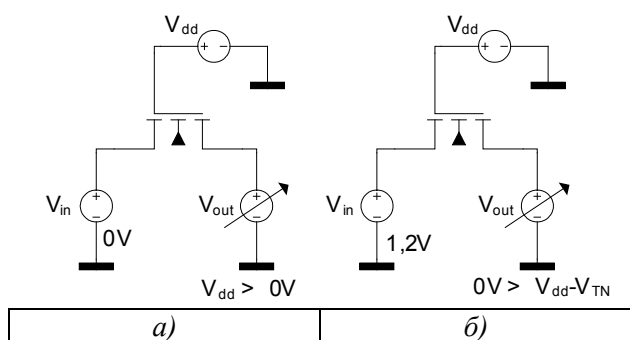
Фиг. 4. Схема на pass транзистор управляван от SRAM клетка

$$C_{on} = C_d + \frac{1}{2} \cdot C_g \quad (3)$$

$$C_{on} = C_d \quad (4)$$

2.3. Определяне на съпротивлението на MOS транзистор

За определяне на съпротивлението на MOS транзистор R_c във включено състояние може да се използва схемата представена на фиг. 5.



Фиг.5. Определяне на съпротивлението на канала на NMOS транзистор

Постановката на фиг. 5(а) позволява да се определи тока през транзистора при преход от високо към ниско логическо ниво, а тази на фиг. 5(б) – при преход от ниско към високо логическо ниво. След това съпротивлението се изчислява по формули (5) и (6):

$$R_{on_rise} = \frac{\frac{1}{2} \cdot V_{out_max}}{I_d}, \quad (5)$$

$$R_{on_fall} = \frac{\frac{1}{2} \cdot V_{out_max}}{I_s}, \quad (6)$$

където:

R_{on_rise} – съпротивлението на канала при преход от високо към ниско логическо ниво;

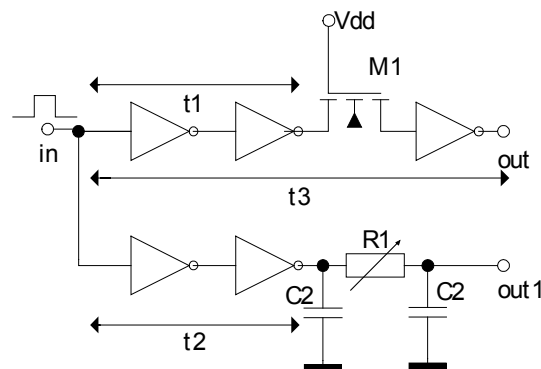
R_{on_fall} – съпротивлението на канала при преход от ниско към високо логическо ниво;

I_d – токът през канала на транзистора при преход от високо към ниско логическо ниво;

I_s – токът през канала на транзистора при преход от ниско към високо логическо ниво

V_{out_max} – максималното изходно напрежение.

Получените резултати се потвърждават от времевия анализ на калибриращата схема от фиг. 6.



Фиг.6. Калибрираща схема за определяне на съпротивлението R_c на NMOS транзистор

В таблица 3 са обобщени получените стойности за съпротивлението на MOS транзистор при различни размери и технологични процеси.

Таблица 3

CMOS процес	W [μm]	L [μm]	R_{on_rise} [KΩ]	R_{1_rise} [KΩ]	R_{on_fall} [KΩ]	R_{1_fall} [KΩ]
180 nm	0,27	0,18	7,047	7,074	40,819	40,189
180 nm	20	0,18	0,143	0,102	2,014	2,143
180 nm	50	50	8,892	8,001	96,235	92,002
130 nm	0,16	0,12	4,494	4,024	62,023	62,898
130 nm	20	0,12	0,03	0,039	0,521	0,492
130 nm	20	20	1,068	1,698	9,928	9,608
90 nm	0,12	0,1	12,234	12,164	252,308	252,628
90 nm	5	0,1	0,264	0,268	5,647	5,651
90 nm	5	5	2,957	2,968	12,185	12,042
65 nm	0,12	0,06	19,93	20,093	2837,14	2836,58
65 nm	2	0,06	0,744	0,746	20,7497	20,346
65 nm	2	2	10,477	1,086	454,946	458,967

3. ЗАКЛЮЧЕНИЕ

В този доклад бе описан метод за определяне на стойностите на паразитните параметри в MOS транзистор. Предложеният метод е технологично независим и може да се използва за намиране на паразитните параметри на MOS транзистор при различни технологични процеси.

Намерените стойности на паразитните параметри могат да се използват при създаване на модели на времезакъсненията в цифрови CMOS интегрални схеми, както и в процеса на проектиране за определяне на тяхното бързодействие.

4. БЛАГОДАРНОСТИ

Тази разработка е подкрепена финансово от проект: “Подкрепа на творческото развитие на докторанти, пост-докторанти и млади учени в областта на компютърните науки”, BG 051PO001-3.3.04/13 финасиран от ЕВРОПЕЙСКИ СОЦИАЛЕН ФОНД 2007 – 2013 г., ОПЕРАТИВНА ПРОГРАМА “РАЗВИТИЕ НА ЧОВЕШКИТЕ РЕСУРСИ” и проект: “Проектиране и апаратно-програмно реализиране на информационно-справочна и презентационна система с тактилен дисплей” E1003-2010 финасиран от фонд “Научни изследвания” в ТУ-Габрово.

ЛИТЕРАТУРА

- [1] Baker J., H. Li, D. Boyce, CMOS: Circuit Design, Layout, and Simulation, Third Edition, NY, 1998
- [2] Feng Z., H. Zhijun, T. Jiarong, T. Pushan, An Analytical Delay Model for SRAM-Based FPGA Interconnections*, Proceedings of the Asia and South Pacific Design Automation Conference ASP-DAC'99, 1999.
- [3] Hodges D., H. Jackson, R. Saleh, Analysis and Design of Digital Integrated Circuits In Deep Submicron Technology, NY, 2003.
- [4] Hung E., S. Wilton, T. Chau, H. Yu, P. Leong, A detailed delay path model for FPGAs. In Proc. International Conference on Field Programmable Technology (FPT), 2009.
- [5] Khellah M., S. Brown, Z. Vranesic, Modeling Routing Delays in SRAM-based FPGAs, Canadian Conference on VLSI, Nov 1993, pp. 6B.13-6B.18.
- [6] Lin M., A. Gamal, Y. Lu, S. Wong, Performance Benefits of Monolithically Stacked 3D-FPGA, Proceedings of the ACM/SIGDA 14th international symposium on FPGA'06, February 22-24, pp. 113 – 122, Monterey, 2006.
- [7] V. Betz and J. Rose, Architecture and CAD for the Speed and Area Optimization of FPGAs, Ph.D. Dissertation University of Toronto, 1998.
- [8] Yi W., W. Lingli, H. Ruonan, T. Jiarong, A Delay Model for SRAM-Based FPGA Interconnections, Proceedings of the 49th IEEE International Midwest Symposium on Circuits and Systems MWSCAS '06, pp. 79 – 83, San Juan, 6-9 Aug. 2006.